

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2003-108079

(43)Date of publication of application : 11.04.2003

---

(51)Int.Cl. G09G 3/36

G02F 1/133

G09G 3/20

H04N 5/45

H04N 5/66

---

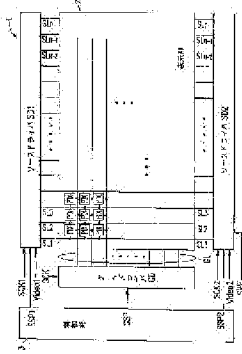
(21)Application number : 2001-  
294991

(71)Applicant : SHARP CORP

(22)Date of filing : 26.09.2001 (72)Inventor : KUWABARA NOBUHIRO  
MORIKAWA DAIKI

---

(54) DISPLAY DEVICE



(57)Abstract:

**PROBLEM TO BE SOLVED:** To prevent the degradation of display characteristics caused by stripes occurring in division boundary positions even when increasing the number of degrees of freedom of display area selection for picture-in-picture or the like.

**SOLUTION:** A source driver SD1 for main video screen and a source driver SD2 for superimposition or picture-in-picture share signal lines SL1 to SLn, and a control part 3 outputs video signal sampling start signals SSP1 and SSP2 to the source drivers SD1 and SD2 with a lag between them so that the signal line SLx ( $1 \leq x \leq N$ ) which the source driver SD1 has finished driving may be driven further by the source driver SD2. Therefore, the main video screen given by the source driver SD1 can be overwritten on a screen for superposition or picture-in-picture given by the source driver SD2. In this case, the source drivers SD1 and SD2 themselves are not divided so as not to generate stripes in division boundary positions on the display screen.

---

## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's  
decision of rejection]

[Kind of final disposal of application  
other than the examiner's decision of  
rejection or application converted  
registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's  
decision of rejection]

[Date of requesting appeal against  
examiner's decision of rejection]

[Date of extinction of right]

\* NOTICES \*

**JPO and NCIP are not responsible for any  
damages caused by the use of this translation.**

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

## CLAIMS

---

[Claim(s)]

[Claim 1] The scanning-line drive circuit which carries out sequential supply of the scan signal at the scanning line by which two or more successive installation was carried out, In the display which has the signal-line drive circuit which supplies a video signal to the signal line by which two or more successive installation was carried out so that these two or more scanning lines may be intersected, and carries out a screen display with the video-signal output according to this scan signal output This signal-line drive circuit The 1st signal-line drive circuit for the main image screens at least, While it consists of 2nd signal-line drive circuits for \*\*\*\*\* screens, and this 1st signal-line drive circuit and the 2nd signal-line drive circuit are sharing the same signal line, control this 1st

signal-line drive circuit and driving a signal line The display which has the control means which drives further the signal line which controlled this 2nd signal-line drive circuit, and was driven by this 1st signal-line drive circuit.

[Claim 2] It is the display according to claim 1 which said control means outputs the drive start signal which shifts drive initiation of this 1st signal-line drive circuit and the 2nd signal-line drive circuit in time so that said 1st signal-line drive circuit and the 2nd signal-line drive circuit may drive the same signal line at a different stage, and drives all the signal lines that should drive this 1st signal-line drive circuit and the 2nd signal-line drive circuit within 1 horizontal-scanning period.

[Claim 3] Said 1st signal-line drive circuit and the 2nd signal-line drive circuit at least they to be [ any ] A storage means to memorize temporarily the image data to all the signal lines of this 1st signal-line drive circuit and the 2nd signal-line drive circuit that any they are should drive within 1 horizontal-scanning period at least is established. Said control means is a display according to claim 1 with which this 1st signal-line drive circuit and the 2nd signal-line drive circuit output the transfer signal which makes the image data memorized for this storage means output to all signal lines so that the same signal line may be driven at a different stage.

[Claim 4] Said control means is a display according to claim 3 which the 1st signal-line drive circuit drives [ among said 1st signal-line drive circuit and the 2nd signal-line drive circuit ] to all signal lines within 1 horizontal-scanning period at least.

[Claim 5] Said 2nd signal-line drive circuit is a display according to claim 1 or 2 connected to some signal-line groups of all the signal lines.

[Claim 6] The frequency of the clock signal for a drive to said 2nd signal-line drive circuit is an image display device according to claim 5 low set up compared with the frequency of the clock signal for a drive to said 1st signal-line drive circuit connected to said all signal lines.

[Claim 7] Said 1st signal-line drive circuit and the 2nd signal-line drive circuit are a display according to claim 1 which is an end [ of two or more signal lines

installed successively ], and other end side, and is arranged in both the opposite side side of the display which succeeds in a screen display, respectively, respectively.

[Claim 8] Said 1st signal-line drive circuit and the 2nd signal-line drive circuit are an image display device according to claim 1 which is in any by the side of the end of two or more signal lines installed successively, and the other end, and is arranged in the one side of both the opposite side of a display where it succeeds in a screen display, respectively.

[Claim 9] The display according to claim 1 currently formed on the same substrate as the substrate with which the display which succeeds in a screen display any they are was formed at least among said signal-line drive circuit and the scanning-line drive circuit.

---

[Translation done.]

\* NOTICES \*

**JPO and NCIP are not responsible for any damages caused by the use of this translation.**

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.\*\*\*\* shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

---

## DETAILED DESCRIPTION

---

[Detailed Description of the Invention]

[0001]

[Field of the Invention] This invention relates to displays, such as a liquid crystal display which makes it possible to superimpose a specific alphabetic character, a

specific character, etc. on the main image screen, or to carry out the picture in picture of the small image screen.

[0002]

[Description of the Prior Art] The following image display devices are proposed as a display which can perform a picture in picture conventionally.

[0003] Drawing 7 is the block diagram showing the important section configuration of the conventional liquid crystal display. In drawing 7, the liquid crystal display 100 has the display 101 which succeeds in image display, the signal-line drive circuits 1-SDV 4 which drive the signal-line group of a display 101, the scanning-line drive circuit 1 and GDV 2 which drives the scanning-line group of a display 101, and the video-signal selection circuitry 102 which enables the selection output of the video signal inputted into the signal-line drive circuits 1-SDV 4.

[0004] As for the display 101, the viewing area is divided into two or more viewing areas 1011-1014. The signal-line group SLG 1 and the scanning-line group GLG1 which intersected perpendicularly with this viewing area 1011 mutually are included. The signal-line group SLG 4 and the scanning-line group GLG4 which intersected perpendicularly with the viewing area 1014 mutually are included in the viewing area 1012 including the signal-line group SLG 3 and the scanning-line group GLG3 which intersected perpendicularly with the viewing area 1013 mutually including the signal-line group SLG 2 and the scanning-line group GLG2 which intersected perpendicularly mutually. A display device is prepared in the part surrounded by the two scanning lines which adjoined two signal lines which adjoined among these signal-line groups, this display device constitutes one picture element, a majority of these display devices are arranged in the shape of a matrix in all directions, and a screen display is carried out.

[0005] The signal-line drive circuit SDV1 is connected to the end of the signal-line group SLG 1, the signal-line drive circuit SDV2 is connected to the end of the signal-line group SLG 2, the signal-line drive circuit SDV3 is connected to the end of the signal-line group SLG 3, and the signal-line drive circuit SDV4 is

connected to the end of the signal-line group SLG 4. On the other hand, the clock signal SCK for a video-signal sampling and the video-signal sampling start signal SSP are inputted into the signal-line drive circuits 1-SDV 4 from the outside, respectively. As for the signal-line drive circuits 1-SDV 4, based on the clock signal SCK for a video-signal sampling, and the video-signal sampling start signal SSP, the sampling of the data signal to a signal line is controlled, respectively.

[0006] The scanning-line drive circuit GDV1 is connected to the end of the scanning-line group GLG1, and the scanning-line drive circuit GDV2 is connected to the end of the scanning-line group GLG2. The clock signal GCK for scan selection and the scanning-line proceed to select signal GSP are inputted into the scanning-line drive circuit 1 and GDV 2 from the outside, respectively. The scanning-line drive circuit 1 and GDV 2 is controlled based on the clock signal GCK for scan selection, and the scanning-line proceed to select signal GSP to carry out the sequential output of the scan signal at each scanning line, respectively.

[0007] The video signal Video1 for the main image screens and the video signal Video2 for the image screens of a picture in picture are inputted, the selection output of any of a video signal 1 and Video 2 they are is carried out, respectively, and supply is made respectively possible in the signal-line drive circuits 1-SDV 4 at the video-signal selection circuitry 102.

[0008] Here, the case where a picture in picture is performed to a viewing area 1014 is explained to a detail using the timing chart of each signal of the liquid crystal display 100 shown in drawing 8 (a) - drawing 8 (d).

[0009] The main video signal Video1 shown in drawing 8 (a) by which the selection output was carried out by the video-signal selection circuitry 102 is supplied to the signal-line drive circuits 1-SDV 3, and the video signal Video2 for picture in pictures shown in drawing 8 (b) by which the selection output was carried out by the video-signal selection circuitry 102 is supplied to the signal-line drive circuit SDV4.

[0010] Moreover, the clock signal SCK for a video-signal sampling shown in drawing 8 (c) and the video-signal sampling start signal SSP shown in drawing 8 (d) are supplied to each signal-line drive circuits 1-SDV 4, respectively.

[0011] The clock signal GCK for scanning-line selection and the scanning-line proceed to select signal GSP are supplied to the scanning-line drive circuit 1 and GDV 2, respectively.

[0012] In viewing areas 1011-1013, the main image by the video signal Video1 is displayed by the above, and the image by the video signal Video2 for picture in pictures is displayed in the viewing area 1014 of a small screen. Thus, the image display by the picture in picture function becomes possible on the main image screen.

[0013] In addition, although it can assume also when performing image display by the picture in picture function in the new screen location between the above-mentioned viewing area 1013 and 1014, in this case, the number of partitions of a signal-line drive circuit can be increased further, and it can be coped with by performing image display by the picture in picture function to that increased division signal-line drive circuit. And the degree of freedom of location selection of the viewing area at the time of performing a picture in picture will increase by increasing the number of partitions of a signal-line drive circuit.

[0014]

[Problem(s) to be Solved by the Invention] However, as mentioned above, since it becomes easy to come in a division boundary location out of stripes, it is not desirable from a viewpoint of a display property to increase the number of partitions of a signal-line drive circuit. That is, by the above-mentioned conventional division drive approach, it has relation with which the degree of freedom about selection of the viewing area at the time of performing image display by the picture in picture function and a display property disagree. That is, if the degree of freedom of the viewing-area selection increases, it will become easy to come out of stripes as the part and a display property.

[0015] In view of the above-mentioned situation, it succeeded in this invention,

and even if it increases the degree of freedom of the viewing-area selection at the time of performing a picture in picture etc., it aims at offering the display with which the display property by the stripes in a division boundary location does not get worse.

[0016]

[Means for Solving the Problem] The scanning-line drive circuit which carries out sequential supply of the scan signal at the scanning line with which two or more successive installation of the display of this invention was carried out, In the display which has the signal-line drive circuit which supplies a video signal (image data) to the signal line by which two or more successive installation was carried out so that two or more scanning lines may be intersected, and carries out a screen display with the video-signal output according to a scan signal output A signal-line drive circuit The 1st signal-line drive circuit for the main image screens at least, Consist of 2nd signal-line drive circuits for \*\*\*\*\* screens, and these 1st signal-line drive circuits and the 2nd signal-line drive circuit are sharing 1 [ same ] or two or more same signal lines. While controlling the 1st signal-line drive circuit and driving a signal line (for example, sampling action) The 2nd signal-line drive circuit is controlled, it has the control means which drives further the signal line driven by the 1st signal-line drive circuit (for example, sampling action) (for example, sampling action), and the above-mentioned purpose is attained by that.

[0017] Moreover, the control means in the display of this invention is preferably at the stage ( ) when the 1st signal-line drive circuit differs the same signal line from the 2nd signal-line drive circuit. Or the drive start signal which shifts drive initiation of the 1st signal-line drive circuit and the 2nd signal-line drive circuit in time is outputted, and the 1st signal-line drive circuit and the 2nd signal-line drive circuit drive all the signal lines that should be driven within 1 horizontal-scanning period so that a different signal line may be driven at a coincidence term.

[0018] The 1st signal-line drive circuit in the display of this invention and the 2nd signal-line drive circuit at least preferably furthermore, they to be [ any ] A

storage means to memorize temporarily the image data to all the signal lines of the 1st signal-line drive circuit and the 2nd signal-line drive circuit that any they are should drive within 1 horizontal-scanning period at least is established. a control means outputs the transfer signal which makes the image data memorized for the storage means output to all signal lines so that the 1st signal-line drive circuit and the 2nd signal-line drive circuit may drive the same signal line at a different stage (or a different signal line -- a coincidence term).

[0019] Furthermore, the 1st signal-line drive circuit drives [ among the 1st signal-line drive circuit and the 2nd signal-line drive circuit ] the control means in the display of this invention to all signal lines preferably within 1 horizontal-scanning period at least (for example, sampling action).

[0020] Furthermore, the 2nd signal-line drive circuit in the display of this invention is preferably connected to some signal-line groups of all the signal lines.

[0021] Furthermore, the frequency of the clock signal for a drive to the 2nd signal-line drive circuit in the display of this invention is preferably set up low compared with the frequency of the clock signal for a drive to the 1st signal-line drive circuit connected to all signal lines.

[0022] Furthermore, preferably, the 1st signal-line drive circuit and the 2nd signal-line drive circuit in a display of this invention are an end [ of two or more signal lines installed successively ], and other end side, respectively, and are arranged in both the opposite side side of the display which succeeds in a screen display, respectively.

[0023] Furthermore, preferably, the 1st signal-line drive circuit and the 2nd signal-line drive circuit in a display of this invention are in any by the side of the end of two or more signal lines installed successively, and the other end, respectively, and are arranged in the one side of both the opposite side of a display where it succeeds in a screen display.

[0024] Furthermore, it is formed on the same substrate as the substrate with which the display which succeeds in a screen display any they are was preferably formed at least among the signal-line drive circuit and the scanning-

line drive circuit in the display of this invention.

[0025] The above-mentioned configuration explains the actuation hereafter.

[0026] While the 1st signal-line drive circuit for the main image screens and the 2nd signal-line drive circuit for \*\*\*\*\* screens are sharing the same signal line, control the 1st signal-line drive circuit and driving a signal line Since the signal line which controlled the 2nd signal-line drive circuit and was driven by the 1st signal-line drive circuit is driven further The main image screen by the 1st signal-line drive circuit will be overwritten on the \*\*\*\*\* screen by the 2nd signal-line drive circuit, and it becomes possible to perform a superimposition and a picture in picture easily. In this case, division of itself does not have the 1st signal-line drive circuit and the 2nd signal-line drive circuit, and they do not have generating of the stripes in a division boundary location, either. Therefore, the degree of freedom of the viewing-area selection at the time of performing a superimposition and a picture in picture does not generate increase and aggravation of the display property according to the stripes in the division boundary location on the display screen also in this case at all.

[0027]

[Embodiment of the Invention] Hereafter, the display of this invention is explained, referring to a drawing about the operation gestalten 1-3 of this invention made to apply to a liquid crystal display.

(Operation gestalt 1) Drawing 1 is the block diagram showing the important section configuration of the liquid crystal display in the operation gestalt 1 of this invention.

[0028] In drawing 1 , the liquid crystal display 1 has the control section 3 (control means) which carries out drive control of the display 2 which performs a screen display, the scanning-line drive circuit GD (henceforth a gate driver GD) which carries out the sequential drive of the scanning-line group GL, and the signal-line drive circuit SD, the gate driver GD and the signal-line drive circuit SD which carry out the sequential drive of the signal-line group SL.

[0029] Pixel PIX is arranged by the part surrounded with the two scanning lines

GL with which the display 2 adjoined two adjoining signal lines SL, and a majority of each pixels PIX are arranged in all directions in the shape of a matrix. Pixel PIX consists of liquid crystal display cels. By the scan signal by which sequential supply is carried out, the data video signal supplied to a signal line SL is supplied to each pixel PIX, and a screen display of the display 2 is carried out to the scanning line GL.

[0030] It connects with one edge each of the scanning-line group GL installed successively by the display 2, respectively, and a gate driver GD carries out sequential supply of the scan signal at each scanning line of the scanning-line group GL. [ many ] In addition, the scanning-line selection clock signal GCK and the scanning-line proceed to select signal GSP for drive circuit actuation are inputted into the gate driver GD.

[0031] two or more drive circuits whose image display is made independently possible from the signal-line drive circuit SD -- having -- a multi-driver configuration -- becoming -- \*\*\*\* -- here -- for example, the 1st signal-line drive circuit (henceforth the source driver SD 1) of a display 2 top and the 2nd signal-line drive circuit (henceforth the source driver SD 2) of the display 2 bottom -- two are arranged.

[0032] The source driver SD 1 is a signal-line drive circuit for the main image screens, it connects with the end of the signal lines SL1-SL<sub>n</sub> ( $1 < n \leq N$ ;  $n$  and  $N$  are two or more positive integers) installed successively by the display 2, and carries out the sequential sampling of the main video signal Video1, and carries out sequential supply at signal lines SL1-SL<sub>n</sub>. [ many ] In addition, the video-signal sampling clock signal SCK1 for drive circuit actuation, and the video-signal sampling start signal SSP 1 and the main video signal Video1 sampled are inputted into the source driver SD 1.

[0033] The source driver SD 2 is a signal-line drive circuit for \*\*\*\*\* screens, such as a superimposition and a picture in picture, it connects with the other end of signal lines SL1-SL<sub>n</sub> ( $1 < n \leq N$ ;  $n$  and  $N$  are two or more positive integers), and carries out the sequential sampling of the video signal Video2 for a

superimposition or picture in pictures, and carries out sequential supply at signal lines SL1-SL<sub>n</sub>. In addition, the video-signal sampling clock signal SCK2 for drive circuit actuation, the video-signal sampling start signal SSP 2 and the write-in enable signal SWE to the signal line of image data, and the superimposition and the video signal Video2 for picture in pictures that are sampled are inputted into the source driver SD 2. Moreover, these source drivers SD1 and SD2 are sharing the same signal lines SL1-SL<sub>n</sub>.

[0034] A control section 3 carries out predetermined period delay from the video-signal sampling start signal SSP 1 which outputs the video-signal sampling start signal SSP 2 outputted to the source driver SD 2 to the source driver SD 1, is outputted, and is controlled to carry out the sequential drive of the same signal lines SL1-SL<sub>n</sub> within 1 horizontal-scanning period to the source drivers SD1 and SD2. that is, a control section 3 samples further the same signal line sampled by the source driver SD 1 (selection actuation) by the source driver SD 2 (selection actuation), and samples the same signal line at a different stage (selection actuation). (a different signal line -- a coincidence term)

[0035] Here, the drive approach of an image display device 1 of performing a superimposition and a picture in picture function is explained using drawing 2 .

[0036] The clock signal of frequency  $\alpha$ MHz and the pulse signal which shows the head location of the effective viewing area in 1 horizontal-scanning period of the main video signal Video1 as a video-signal sampling start signal SSP 1 shown in drawing 2 (c) are first supplied to the source driver SD 1 by the above-mentioned configuration as a video-signal sampling clock signal SCK1 indicated to be the main video signal Video1 shown in drawing 2 (a) to drawing 2 (b).

[0037] Moreover, the video signal Video2 for a superimposition or picture in pictures similarly shown in drawing 2 (d), As a video-signal sampling clock signal SCK2 shown in drawing 2 (e), the clock signal of frequency  $\alpha'$ MHz, The pulse signal which shows the head location of the effective viewing area in 1 horizontal-scanning period of the video signal Video2 for a superimposition or picture in pictures as a video-signal sampling start signal SSP 2 shown in

drawing 2 (f), The write-in enable signal SWE to the signal line of the image data shown in drawing 2 (g) is supplied to the source driver SD 2.

[0038] At this time, the clock signal of frequency betaKHz and the pulse signal which shows the head location of the effective viewing area in 1 vertical-scanning period of the main video signal Video1 as a scanning-line proceed to select signal GSP are supplied to the gate driver GD as a scanning-line selection clock signal GCK.

[0039] However, each signal supplied to the source drivers SD1 and SD2 and a gate driver GD must fill the following three conditions (1) - (3), respectively.

[0040] (1) Although the frequency and phase may differ from each other compared with the video-signal sampling clock signal SCK1, it is necessary to surely make the video-signal sampling clock signal SCK2 into a frequency which the sampling of the image data to all the signal lines SL1-SL<sub>n</sub> completes within 1 horizontal-scanning period. As for the video-signal sampling clock signals SCK1 and SCK2, it is desirable that it is the same frequency.

[0041] (2) Control the timing to sample not to become  $x=x'$  at coincidence in the signal line SL<sub>x</sub> (for  $1 \leq x \leq N$ ;  $x$  and  $N$  to be a positive integer) with which the source driver SD 1 samples, and signal-line SL<sub>x'</sub> (for  $1 \leq x' \leq N$ ;  $x'$  to be a positive integer) to which the source driver SD 2 samples. That is, it is necessary to control so that both the source drivers SD1 and SD2 do not sample a video signal to the same signal line to coincidence.

[0042] For example, like drawing 2 , after the source driver SD 1 samples [ the video-signal sampling clock signals SCK1 and SCK2 ] to one or more signal lines in the case of the same frequency and the same phase, predetermined period delay is carried out from the output point in time of the video-signal sampling start signal SSP 1, and the video-signal sampling start signal SSP 2 is supplied so that the source driver SD 2 may start a sampling (after predetermined delay period progress). That is, the video-signal sampling clock signals SCK1 and SCK2 change the video-signal sampling start signals SSP1 and SSP2 above by 1 cycle, and a control section 3 carries out an output control. This enables it to

overwrite the main image data by the image data for a superimposition or picture in pictures.

[0043] (3) Compared with the initial data of the effective viewing area of the main video signal Video1, the initial data of the effective viewing area of the video signal Video2 for a superimposition or picture in pictures are overdue by the period to which the source driver SD 1 samples to one or more signal lines, and output.

[0044] This operation gestalt 1 continues the explanation about the drive approach of a liquid crystal display 1 of performing superimposition and picture in picture actuation, as what is filling three above conditions (1) - (3).

[0045] In the source driver SD 1, in response to the video-signal sampling start signal SSP 1 supplied from the control section 3, it is made to synchronize with the video-signal sampling clock signal SCK1, and the sampling of the main video signal Video1 is started. The main image data VDAT1 obtained by sampling - VDATn ( $1 < n \leq N$ ; n and N are a positive integer) let each signal lines SL1-SLn pass, respectively, and are written in each pixel PIX linked to the 1 scanning line GLm by which sequential selection (the so-called line sequential scanning) is made with the gate driver GD one by one. that is, the main image data VDAT1 are supplied to a signal line SL 1, and supply the main image data VDAT2 to the following signal line SL 2 -- having ... sequential supply of the main image data VDATn is carried out at a signal line SLn.

[0046] At this time, a sampling with the video signal Video2 for a superimposition or picture in pictures and the write-in enable signal SWE to the signal line of image data is started like the source driver SD 1 by the source driver SD 2 synchronizing with the video-signal sampling clock signal SCK2 in response to the video-signal sampling start signal SSP 2 supplied from the control section 3.

[0047] Based on write-in enabling data SWE1' to the signal line of each image data obtained by sampling - n', were judged as "write-in authorization." Image data VDAT1' for a superimposition or picture in pictures - VDATn' ( $1 < n' \leq N$ ; n' and N are the positive integer) which were obtained by sampling It lets each

signal lines SL1-SL<sub>n</sub> pass, and is written in each pixel PIX connected to the 1 scanning line GL<sub>m</sub> by which sequential selection (sequential scanning) is made with the gate driver GD one by one. In addition, if data writing is enabled in case the write-in enable signal SWE is 'L' (low level), in drawing 2 (g), image data VDAT3' and VDAT4' will not be written in Pixel PIX. other image data VDAT1' is supplied to a signal line SL 1, and main image data VDAT2' is supplied to the following signal line SL 2 -- having ... sequential supply is carried out at a signal line SL<sub>n</sub>, and the data writing of main image data VDAT<sub>n</sub>' is carried out at each pixel PIX, respectively.

[0048] That is, the main image data previously sampled by the source driver SD 1 will be overwritten by the \*\*\*\*\* data (a superimposition and image data for picture in pictures) sampled by the source driver SD 2.

[0049] According to this operation gestalt 1, by the above The source driver SD 1 for the main image screens The source driver SD 2 for a superimposition or picture in pictures is sharing the same signal lines SL1-SL<sub>n</sub>. And the control section 3 The signal line SL<sub>x</sub> ( $1 \leq x \leq N$ ) which the source driver SD 1 finished driving previously so that the source driver SD 2 may drive later further Since the video-signal sampling start signal 1 and SSPs 2 is shifted in time and it outputs to the source drivers SD1 and SD2, The main image screen by the source driver SD 1 can be easily overwritten on the superimposition and the screen for picture in pictures by the source driver SD 2.

[0050] It becomes possible to make the free location of the viewing area perform a superimposition and a picture in picture function easily on the display screen of a display 2 by doing in this way. In order that there may be no division of the source driver SD 1 and SD2 the very thing at this time, there is also no generating of the stripes in a division boundary location. Thus, the degree of freedom of the viewing-area selection at the time of performing a superimposition and a picture in picture can be increased, and aggravation of the display property by the stripes in the division boundary location on the display screen does not take place in this case.

[0051] In addition, image data when the video signal Video2 for a superimposition or picture in pictures samples with an analog signal [ whether it is lower than a certain electrical-potential-difference value and ] Or when high and the circuit it is made not to write the image data in a signal line is incorporated in the source driver SD 2, The video signal Video2 for a superimposition or picture in pictures moreover, with a digital signal When it is in any in case the circuit where it is made for the image data when sampling not to write the image data in a signal line at the time of a certain digital value is incorporated in the source driver SD 2 The write-in enable signal SWE to the signal line of image data is omissible. With this operation gestalt 1, the above-mentioned write-in control function is realized using the write-in enable signal SWE.

[0052] Moreover, with this operation gestalt 1, like the drive approach shown in drawing 2 , at the initiation time of operation, both the source drivers SD1 and SD2 are operating to coincidence so that all signal-line SL1-SL<sub>n</sub> samplings may be carried out within 1 level period of that from which the timing of a sampling has shifted somewhat in both the source drivers SD1 and SD2 (the time delay is given to the timing of a sampling). As long as not only this but above-mentioned condition (1) - (3) is filled, after the sampling action of the source driver SD 1 is completed, it can also constitute within 1 level period so that only the source driver of any or one of the two may carry out a sampling action, so that the sampling action of the source driver SD 2 may start.

[0053] Furthermore, although both the source drivers SD1 and SD2 arranged in both the opposite side side of the upper and lower sides of a display 2, respectively and have connected with each signal line, respectively, they can also consist of these operation gestalten 1 so that both the source drivers SD1 and SD2 of both may be arranged in any or one side in by the side of both the opposite side of the upper and lower sides of a display 2 and it may connect with each signal line (all signal lines SL1-SL<sub>n</sub>), respectively.

[0054] Furthermore, especially with this operation gestalt 1, although not

explained, both the source drivers SD1 and SD2 and a gate driver GD may be formed at the MONOSHI rucksack on the same substrate as the substrate with which the display 2 is formed, and may be connected using the connecting means of a flexible substrate etc.

(Operation gestalt 2) It is the case where each above-mentioned sampling potential is supplied to timing which starts each sampling of a video signal 1 and Video 2 to coincidence, once memorizes each sampling potential of the time series of the main video signal Video1, and each sampling potential of the time series of the video signal Video2 for a superimposition or picture in pictures in each memory with this operation gestalt 2, respectively, and is mutually different in signal lines SL1-SL<sub>n</sub> from the source driver 11 and SD 12.

[0055] Drawing 3 is the block diagram showing the important section configuration of the liquid crystal display in the operation gestalt 2 of this invention.

[0056] drawing 3 -- setting -- a liquid crystal display -- 11 -- a screen display -- carrying out -- a display -- 12 -- the scanning line -- a group -- GL -- sequential -- a drive -- carrying out -- the scanning line -- a drive -- a circuit -- GD (henceforth a gate driver GD) -- a signal line -- a group -- SL -- driving -- a signal line -- a drive - - a circuit -- SD -- ' -- a gate driver -- GD -- and -- a signal line -- a drive -- a circuit -- SD -- ' -- controlling -- a control section -- 13 -- having -- \*\*\*\* .

[0057] Pixel PIX is arranged by the part surrounded with the two scanning lines GL with which a display 12 adjoins two adjoining signal lines SL, and a majority of each pixels PIX are arranged in all directions in the shape of a matrix. Pixel PIX consists of liquid crystal display cels. For every scan signal supplied to the scanning line GL, the data video signal supplied to a signal line SL is supplied to Pixel PIX, and image display of the display 12 is carried out.

[0058] It connects with the end of the scanning-line group GL installed successively by the display 12, respectively, and a gate driver GD carries out sequential supply of the scan signal at each scanning line of the scanning-line group GL. [ many ] In addition, the scanning-line selection clock signal GCK and

the scanning-line proceed to select signal GSP for drive circuit actuation are inputted into the gate driver GD.

[0059] two or more drive circuits whose image display is made independently possible prepare signal-line drive circuit SD' -- having -- a multi-driver configuration -- becoming -- \*\*\*\* -- for example, the 1st signal-line drive circuit (henceforth the source driver SD 11) of a display 12 top and the 2nd signal-line drive circuit (henceforth the source driver SD 12) of the display 2 bottom -- two are arranged.

[0060] It connects with the end of the signal lines SL1-SL<sub>n</sub> ( $1 < n \leq N$ ) installed successively by the display 12, and the source driver SD 11 carries out the sequential sampling of the main video signal Video1, and carries out sequential supply at signal lines SL1-SL<sub>n</sub>. [ many ] In addition, the video-signal sampling clock signal SCK1 for drive circuit actuation, the video-signal sampling start signal SSP 1 and the main video signal Video1 sampled, and the data transfer signal TRF1 mentioned later are inputted into the source driver SD 11.

[0061] The source driver SD 11 as an object for the main video signals Video1 Per each signal line, L duty ( $1 \leq L$ ; L per one signal line) built-in of the latch memory (not shown) as a temporary storage means for all the pixels PIX (several n signal line in every line) by which it has connected with the one scanning line is carried out. The output control of the latch memory of the source driver SD 11 is carried out to all the signal lines SL1-SL<sub>n</sub> by the data transfer signal TRF1.

[0062] It connects with the other end of signal lines SL1-SL<sub>n</sub> ( $1 < n \leq N$ ), and the source driver SD 12 carries out the sequential sampling of the video signal Video2 for a superimposition or picture in pictures, and carries out sequential supply at signal lines SL1-SL<sub>n</sub>. In addition, the video-signal sampling clock signal SCK2 for drive circuit actuation, the video-signal sampling start signal SSP 2 and the write-in enable signal SWE to the signal line of image data, the video signal Video2 the superimposition sampled and for picture in pictures, and the data transfer signal TRF2 mentioned later are inputted into the source driver SD 12.

[0063] The source driver SD 12 as an object for the write-in enable signals SWE

to the video signal Video2 for a superimposition or picture in pictures, and the signal line of image data L duty ( $1 \leq L$ ; L per one signal line) built-in of the latch memory (not shown) for all the pixels PIX connected to the one scanning line per each signal line (several n signal line in every line) is carried out. The output control of the latch memory of the source driver SD 12 is carried out to all the signal lines SL1-SLn by the data transfer signal TRF2.

[0064] A control section 13 outputs the video-signal sampling start signal 1 and SSPs 2 to coincidence, after that, changes the source drivers SD11 and SD12 predetermined time, and outputs the data transfer signal 1 and TRF 2 to them (a dual output is not carried out). After a control section 13 supplies each sampling potential of the time series of the main video signal Video1 to signal lines SL1-SLn from the source driver SD 11 at coincidence using these data transfer signals 1 and TRF 2, it controls to supply each sampling potential of the time series of the video signal Video2 of a superimposition or a picture in picture to signal lines SL1-SLn from the source driver SD 12 at coincidence.

[0065] Here, the drive approach of an image display device 11 of performing a superimposition and a picture in picture function is explained using drawing 4 .

[0066] The main video signal Video1 first shown in drawing 4 (a) by the above-mentioned configuration, As a video-signal sampling clock signal SCK1 shown in drawing 4 (b), the clock signal of frequency  $\alpha$ MHz, The pulse signal which shows the head location of the effective viewing area in 1 horizontal-scanning period of the main video signal Video1 as a video-signal sampling start signal SSP 1 shown in drawing 4 (c), The data transfer signal (timing pulse signal) TRF1 which shows the image data stored in the latch memory in the source driver SD 11 to drawing 4 (d) made to output to a signal line is supplied to the source driver SD 11.

[0067] Moreover, the video signal Video2 for a superimposition or picture in pictures similarly shown in drawing 4 (e), As a video-signal sampling clock signal SCK2 shown in drawing 4 (f), the clock signal of frequency  $\alpha'$ MHz, The pulse signal which shows the head location of the effective viewing area in 1 horizontal-

scanning period of a superimposition or the video signal Video2 for picture in pictures as a video-signal sampling start signal SSP 2 shown in drawing 4 (g), The write-in enable signal SWE to the signal line of the image data shown in drawing 4 (h), The data transfer signal (timing pulse signal) TRF2 which shows the image data stored in the latch memory in the source driver SD 12 to drawing 4 (i) made to output to a signal line is supplied to the source driver SD 12.

[0068] At this time, the clock signal of frequency betaKHz and the pulse signal which shows the head location of the effective viewing area in 1 vertical-scanning period of the main video signal Video1 as a scanning-line proceed to select signal GSP are supplied to the gate driver GD as a scanning-line selection clock signal GCK.

[0069] However, each signal supplied to the source drivers SD11 and SD12 and a gate driver GD must fill the following two conditions (1) and (2), respectively.

[0070] (1) Although the frequency may differ from the phase compared with the video-signal sampling clock signal SCK1, surely make the video-signal sampling clock signal SCK2 into a frequency which the sampling action of image data completes to all the signal lines SL1-SL<sub>n</sub> within 1 horizontal-scanning period. As for the video-signal sampling clock signals SCK1 and SCK2, it is desirable that it is the same frequency.

[0071] (2) The data transfer signal (timing pulse signal) TRF1 for outputting the image data stored in the latch memory in the source driver SD 11 to a signal line and the data transfer signal (timing pulse signal) TRF2 for outputting the image data stored in the latch memory in the source driver SD 12 to a signal line set up output timing so that it may not be chosen as coincidence.

[0072] This operation gestalt 2 continues explanation of the drive approach of an image display device 11 of performing superimposition and picture in picture actuation, as what is filling the above two conditions (1) and (2).

[0073] In the source driver SD 11, in response to the video-signal sampling start signal SSP 1 supplied from the control section 13, the sampling of the main video signal Video1 is started with the video-signal sampling clock signal SCK1, and

the main image data VDAT1 obtained by sampling - VDATn ( $1 < n \leq N$ ) are stored in latch memory.

[0074] On the other hand, the video-signal sampling start signal SSP 2 supplied from the control section 13 is received like [ in the source driver SD 12 ] the source driver SD 11. With the video-signal sampling clock signal SCK2 The video signal Video2 for a superimposition or picture in pictures, A sampling with the write-in enable signal SWE to the signal line of image data is started. the image data VDAT1 the superimposition obtained by this sampling, and for picture in pictures -- '-VDATn' ( $1 < n' \leq N$ ) -- Write-in enabling data SWE1' to the signal line of each image data - n' ( $1 < n' \leq N$ ) are stored in latch memory.

[0075] After storing of image data finishes with latch memory, the day transfer signal (timing pulse signal) TRF1 which makes the image data stored in the latch memory in the source driver SD 11 output to a signal line is supplied to the source driver SD 11 from a control section 13. The main image data VDAT1 - VDATn(s) ( $1 < n \leq N$ ) let each signal lines SL1-SLn pass all at once, and data writing is carried out at each pixel PIX linked to the 1 scanning line GLm chosen by the gate driver GD (the so-called line sequential scanning). that is, the main image data VDAT1 are supplied to a signal line SL 1, and supply the main image data VDAT2 to the following signal line SL 2 -- having ... the main image data VDATn are supplied to a signal line SLn, and data writing is carried out at each pixel PIX.

[0076] After the write-in termination to each pixel PIX of the main image data VDAT1 - VDATn ( $1 < n \leq N$ ), The day transfer signal (timing pulse signal) TRF2 which outputs the image data stored in the latch memory in the source driver SD 12 to a signal line is supplied to the source driver SD 12 from a control section 13. Based on write-in enabling data SWE1' to the signal line of each image data obtained by sampling - n', were judged as "write-in authorization." image data VDAT1' for a superimposition or picture in pictures - VDATn' ( $1 < n' \leq N$ ) which were obtained by sampling -- simultaneous -- each signal lines SL1-SLn -- letting it pass -- Data writing is carried out at each pixel PIX linked to the 1 scanning line

GLm chosen by the gate driver GD (the so-called line sequential scanning). In addition, if data writing is enabled in case the write-in enabling data SWE are 'L' (low level), image data VDAT2' will not write in in drawing 4 (h). other image data VDAT1' is supplied to a signal line SL 1 -- having ... main image data VDATn' is supplied to the signal line SLn.

[0077] That is, the image data previously sampled by the source driver SD 11 will be overwritten by the image data later sampled by the source driver SD 12.

[0078] According to this operation gestalt 2, by the above The source driver SD 11 for the main image screens The source driver SD 12 for a superimposition or picture in pictures is sharing the same signal lines SL1-SLn. And the control section 13 The signal-line groups SL1-SLn which the source drivers SD 11 finished driving all at once previously so that the source drivers SD 2 may drive still later all at once Since the data transfer signal (timing pulse signal) 1 and TRF 2 is shifted in time and it outputs to the source drivers SD11 and SD12 according to, respectively, The main image screen by the source driver SD 11 can be easily overwritten on the superimposition and the screen for picture in pictures by the source driver SD 12.

[0079] By doing in this way, since the display of a superimposition or a picture in picture is easily attained on the display screen of a display 12 in the free location of the viewing area and there is also no division of the source driver SD 11 and SD12 the very thing (signal-line drive circuit), there is also no generating of the stripes in the division boundary location on a display screen, and an image display device with a sufficient display property is obtained. Thus, the degree of freedom about selection of the viewing area at the time of performing a superimposition and a picture in picture can be increased, and aggravation of the display property by the stripes in the division boundary location on the display screen does not take place to this place, either.

[0080] In addition, image data when the video signal Video2 for a superimposition or picture in pictures samples with an analog signal [ whether it is lower than a certain electrical-potential-difference value and ] Or when high

and the circuit which acts so that the image data may not be written in a signal line is incorporated in the source driver SD 12, The video signal Video2 for a superimposition or picture in pictures moreover, with a digital signal When it is in any in case the circuit where the image data when sampling act at the time of a certain digital value so that the image data may not be written in a signal line is incorporated in the source driver SD 12 The write-in enable signal SWE to the signal line of image data is omissible. With this operation gestalt 2, the above-mentioned write-in control function is realized using the write-in enable signal SWE.

[0081] moreover, the source drivers SD11 and SD12 -- when it is alike, respectively, latch processing of video-signal data finishes and a control circuit (control means) which write the latched image data in a signal line all at once is incorporated, the timing pulse signals TRF1 and TRF2 which output the image data stored in latch memory to a signal line can be omitted, respectively. In that case, it must be circuitry which the source drivers SD11 and SD12 do not write in a signal line at coincidence.

[0082] Moreover, although both source drivers SD11 and SD12 are operating to coincidence, as long as the above-mentioned conditions (1) and (2) are filled within 1 level period, after the sampling action of the source driver SD 11 is completed, you may make it only the signal-line drive circuit of which or one of the two operate within 1 level period by the drive approach shown by drawing 4 , so that actuation of the source driver SD 12 may start.

[0083] Moreover, when the number L of latch memory is two or more, one certain latch memory becomes that the data latch of a video signal and one more latch memory can perform both contents to coincidence within 1 level period like the data output to a signal line.

[0084] Moreover, the source drivers SD11 and SD12 both must not be circuitry of this operation gestalt 2, and only which or one of the two may be circuitry of the operation gestalt 1. In that case, it must be cautious of the timing of each input signal (especially data transfer signal 1 and TRF 2) to the source drivers SD11

and SD12 so that the source drivers SD11 and SD12 may not write image data in the same signal line at coincidence.

[0085] for example, when source driver SD' consists of source drivers SD1 and SD12 Within the level blanking period after the source driver SD 1 of the above-mentioned operation gestalt 1 samples image data to all the signal lines SL1-SL<sub>n</sub> within 1 horizontal-scanning period (drive) It can also constitute so that the source drivers SD 12 may output each image data in latch memory to all the signal lines SL1-SL<sub>n</sub> all at once in response to the data transfer signal TRF2 from a control section 13.

[0086] Moreover, although the source drivers SD11 and SD12 are connected both the opposite side of a display 12, respectively, both source drivers SD11 and SD12 may connect with either one side 1 side.

[0087] Moreover, the source drivers SD11 and SD12 and the KETO driver GD may be formed at the MONOSHI rucksack on the same substrate as the substrate with which the display 12 is formed, and may be connected using the connecting means of a flexible substrate etc.

(Operation gestalt 3) It is the case where a superimposition and a picture in picture are always performed in the regular location with this operation gestalt 3 like [ when displaying the dc-battery residue notation of a cellular phone on the predetermined location on the display screen, for example ]. In this case, it is more effective in a circuit scale and a power consumption target for the signal-line drive circuit SD 22 shown in drawing 5 to have connected with no signal lines, and to drive only each required signal line corresponding to that display position. Hereafter, the operation gestalt 3 of this invention is explained to a detail, referring to drawing 5 and drawing 6 .

[0088] Drawing 5 is the block diagram showing the important section configuration of the liquid crystal display in the operation gestalt 3 of this invention.

[0089] drawing 5 -- setting -- a liquid crystal display -- 21 -- a screen display -- carrying out -- a display -- 22 -- the scanning line -- a group -- GL -- sequential --

a drive -- carrying out -- the scanning line -- a drive -- a circuit -- GD (henceforth a gate driver GD) -- a signal line -- a group -- SL -- sequential -- a drive -- carrying out -- a signal line -- a drive -- a circuit -- SD -- " -- a gate driver -- GD -- and -- a signal line -- a drive -- a circuit -- SD -- " -- a drive -- control -- carrying out -- a control section -- 23 (control means) -- having -- \*\*\*\* .

[0090] Pixel PIX is arranged by the part surrounded with the two scanning lines GL with which a display 22 adjoins two adjoining signal lines SL, and a majority of each pixels PIX are arranged in all directions in the shape of a matrix. Pixel PIX consists of liquid crystal display cels. Image display of the display 22 is carried out by supplying the data video signal supplied to a signal line SL to each pixel PIX for every scan signal supplied to the scanning line GL.

[0091] It connects with the end of the scanning-line group GL installed successively by the display 22, respectively, and a gate driver GD carries out sequential supply of the scan signal at each scanning line of the scanning-line group GL. [ many ] In addition, the scanning-line selection clock signal GCK and the scanning-line proceed to select signal GSP for drive circuit actuation are inputted into the gate driver GD.

[0092] the multi-driver configuration in which two or more drive circuits whose image display signal-line drive circuit SD" makes independently possible were established -- becoming -- \*\*\*\* -- for example, the 1st signal-line drive circuit (henceforth the source driver SD 1) of a display 22 top and the 2nd signal-line drive circuit (henceforth the source driver SD 2) of the display 2 bottom -- two are arranged.

[0093] It connects with the end of the signal lines SL1-SL<sub>N</sub> (1<n≤N) installed successively by the display 22, and the source driver SD 1 carries out the sequential sampling of the main video signal Video1, and carries out sequential supply at signal lines SL1-SL<sub>N</sub>. [ many ] In addition, the video-signal sampling clock signal SCK1 for drive circuit actuation, and the video-signal sampling start signal SSP 1 and the main video signal Video1 sampled are inputted into the source driver SD 1.

[0094] It connects with the other end of signal-line SL<sub>p</sub>-SL<sub>q</sub> ( $1 \leq p < q, 1 \leq q \leq N$ ) which is some signal lines SL<sub>1</sub>-SL<sub>n</sub> ( $1 \leq n \leq N$ ), and the source driver SD 22 carries out the sequential sampling of the video signal Video2 for a superimposition or picture in pictures, and carries out sequential supply at signal-line SL<sub>p</sub>-SL<sub>q</sub>. In addition, the video signal Video2 for a superimposition or picture in pictures with which the source driver SD 22 is sampled with the video-signal sampling clock signal SCK2 for drive circuit actuation, and the video-signal sampling start signal SSP 2 and the write-in enable signal SWE to the signal line of image data is inputted. In this case, the display position of a superimposition or a picture in picture corresponds with the arrangement location of signal-line SL<sub>p</sub>-SL<sub>q</sub>.

[0095] To the signal line SL<sub>x</sub> which supplied each sampling potential of the time series of the main video signal Video1 from the source driver SD 1, a control section 23 is changed predetermined time and outputs the video-signal sampling start signal 1 and SSPs 2 so that each sampling potential of the time series of the video signal Video2 of a superimposition or a picture in picture may be supplied from the source driver SD 12, namely, so that the same signal line may be driven at a different stage (sampling action).

[0096] Here, the drive approach of an image display device 21 of performing a superimposition and a picture in picture function is explained using drawing 6 .

[0097] The clock signal of frequency  $\alpha$ MHz and the pulse signal which shows the head location of the effective viewing area in 1 horizontal-scanning period of the main video signal Video1 as a video-signal sampling start signal SSP 1 shown in drawing 6 (c) are first supplied to the source driver SD 1 by the above-mentioned configuration as a video-signal sampling clock signal SCK1 indicated to be the main video signal Video1 shown in drawing 6 (a) to drawing 6 (b).

[0098] Moreover, the video signal Video2 for a superimposition or picture in pictures similarly shown in drawing 6 (d), As a video-signal sampling clock signal SCK2 shown in drawing 6 (e), the clock signal of frequency  $\alpha'$ MHz, The pulse signal which shows the head location of the effective viewing area in 1

horizontal-scanning period of the video signal Video2 for a superimposition or picture in pictures as a video-signal sampling start signal SSP 2 shown in drawing 6 (f), The write-in enable signal SWE to the signal line of the image data shown in drawing 6 (g) is supplied to the source driver SD 22.

[0099] At this time, the clock signal of frequency betaKHz and the pulse signal which shows the head location of the effective viewing area in 1 vertical-scanning period of the main video signal Video1 as a scanning-line proceed to select signal GSP are supplied to the scanning-line drive circuit GD as a scanning-line selection clock signal GCK.

[0100] However, each signal supplied to the source drivers SD1 and SD22 and a gate driver GD must fill the following three conditions (1) - (3), respectively.

[0101] (1) Although the frequency and phase may differ from each other compared with the video-signal sampling clock signal SCK1, make the video-signal sampling clock signal SCK2 into a frequency which the sampling action of image data surely completes within 1 horizontal-scanning period to all signal-line SLp-SLq that should be driven. The signal-line drive circuit SD 22 is that with few (there are few numbers of all signal-line SLp-SLq that should be driven than the number of all the signal lines SL1-SLn) samplings than the signal-line drive circuit SD 1, and it is desirable in power consumption that it is frequency alpha' (MHz) of frequency alpha(MHz) >SCK2 of SCK1.

[0102] (2) Make it not become  $x=x'$  at coincidence in the signal line SLx ( $1 \leq x \leq N$ ) with which the source driver SD 1 samples, and signal-line SLx' ( $p \leq x' \leq q$ ) to which the source driver SD 22 samples. That is, both the source drivers SD1 and SD22 are made not to sample to the signal line same to coincidence. For example, as shown in drawing 5 , the source driver SD 1 samples previously compared with the sampling action to the signal line (for example, signal line SLp) by the source driver SD 22 to at least one or more signal lines (for example, signal-line SLp+1). What is necessary is after that, just to supply the video-signal sampling start signal SSP 2 to the source driver SD 22 so that the source driver SD 22 may start a sampling action to a signal line (for

example, signal-line  $SL_{p+1}$ ).

[0103] (3) The head of the effective viewing area of the video signal Video2 for a superimposition or picture in pictures is behind in the source driver SD 1 by the period which samples previously to one or more signal lines compared with it of the main video signal Video1.

[0104] This operation gestalt 3 continues explanation of the drive approach of an image display device 21 of performing superimposition and picture in picture actuation, as what is filling three above conditions (1) - (3).

[0105] In the source driver SD 1, in response to the video-signal sampling start signal SSP 1 supplied from the control section 23, the sampling of the main video signal Video1 is started with the video-signal sampling clock signal SCK1, the main image data VDAT1 obtained by sampling -  $VDAT_n$  ( $1 < n \leq N$ ) let each signal lines  $SL_1$ - $SL_n$  pass, and it is written in each pixel PIX linked to the 1 scanning line  $GL_m$  chosen by the scanning-line drive circuit GD (line sequential scanning) one by one. that is, the main image data VDAT1 are supplied to a signal line  $SL_1$ , and supply the main image data VDAT2 to the following signal line  $SL_2$  -- having ... sequential supply is carried out and the data writing of the main image data  $VDAT_n$  is carried out at a signal line  $SL_n$ .

[0106] In the source driver SD 22, the sampling action of the video signal Video2 for a superimposition or picture in pictures and the write-in enable signal SWE to the signal line of image data is started with the video-signal sampling clock signal SCK2 like the source driver SD 1 in response to the video-signal sampling start signal SSP 2 supplied from the control section 23.

[0107] Based on write-in enabling data  $SWE_{p'}$  to the signal line of each image data obtained by this sampling -  $q'$ , were judged as "write-in authorization." Image data  $VDAT_{p'}$  for a superimposition or picture in pictures -  $VDAT_{q'}$  ( $1 \leq p' < q'$ ,  $1 < q' \leq N$ ) which were obtained by sampling It lets each signal-line  $SL_{p'}$ - $SL_{q'}$  pass, and is written in each pixel PIX linked to the 1 scanning line  $GL_m$  chosen by the scanning-line drive circuit GD (line sequential scanning) one by one. In addition, if data writing is enabled in case the write-in enable signal SWE

is 'L' (low level), image data  $VDA_{Tp+1}$  will not write in in drawing 6 (g). other image data  $VDA_{Tp}$  is supplied to a signal line  $SL_p$  -- having ... sequential supply is carried out and the data writing of main image data  $VDA_{Tq}$  is carried out at a signal line  $SL_q$ .

[0108] That is, the image data previously sampled by the source driver SD 1 will be overwritten by the image data later sampled by the source driver SD 22.

[0109] According to this operation gestalt 3, by the above The source driver SD 1 for the main image screens The source driver SD 22 for a superimposition or picture in pictures is sharing the same signal-line  $SL_p$ - $SL_q$ . And the control section 23 The signal line  $SL_x$  ( $1 \leq x \leq N$ ) which the source driver SD 1 finished driving previously so that the source driver SD 22 may drive later further Since the video-signal sampling start signal 1 and SSPs 2 is shifted in time and it outputs to the source drivers SD1 and SD22, The main image screen by the source driver SD 1 can be easily overwritten on the superimposition and the screen for picture in pictures by the source driver SD 22.

[0110] By doing in this way, since the display of a superimposition or a picture in picture is easily attained on the display screen of a display 12 in the free location of the viewing area and there is also no division of the source driver SD 1 and SD22 the very thing (signal-line drive circuit), there is also no generating of the stripes in the division boundary location on a display screen, and the liquid crystal display 21 with a sufficient display property is obtained. Thus, even if it increases the degree of freedom about selection of the viewing area at the time of performing a superimposition and a picture in picture, aggravation of the display property by the stripes in a division boundary location does not take place. Furthermore, since it can set up low compared with the frequency of the clock signal for a drive to the source driver SD 1 connected to all signal lines, in case the frequency of the clock signal for a drive to the source driver SD 22 performs a superimposition and a picture in picture, it does not generate excessive power.

[0111] In addition, image data when the video signal Video2 for a superimposition or picture in pictures samples with an analog signal [ whether it

is lower than a certain electrical-potential-difference value and ] Or when high and the circuit it is made not to write the image data in a signal line is incorporated in the signal-line drive circuit SD 22, The video signal Video2 for a superimposition or picture in pictures moreover, with a digital signal When it is in any in case the circuit where it is made for the image data when sampling not to write the image data in a signal line at the time of a certain digital value is incorporated in the signal-line drive circuit SD 22 The write-in enable signal SWE to the signal line of image data is omissible. With this operation gestalt 3, the above-mentioned write-in control function is realized using the write-in enable signal SWE.

[0112] Moreover, although both source drivers SD1 and SD22 are operating to coincidence within 1 level period, as long as above-mentioned condition (1) - (3) is filled with the drive approach shown in drawing 6 , after the sampling action of the source driver SD 1 is completed, you may make it only the source driver of which or one of the two operate within 1 level period so that actuation of the source driver SD 22 may start.

[0113] Moreover, although the same drive as the above-mentioned operation gestalt 1 is performed with this operation gestalt 3, the source drivers SD1 and SD22 all must not be circuitry of this operation gestalt 3, and any or one of the two may be circuitry of the operation gestalt 2. In that case, it must be cautious of the timing of each input signal so that the source drivers SD1 and SD22 may not write in the same signal line as coincidence.

[0114] Moreover, although the source driver SD 1 and the source driver SD 22 are connected to the both-sides side which a display 22 counters up and down, respectively, both source drivers SD1 and SD22 may be connected and arranged in the one-side side of any or one side.

[0115] Moreover, the source driver SD 1, the source driver SD 22, and the gate driver GD may be formed at the MONOSHI rucksack on the same substrate as the substrate with which the display 22 is formed, and may be connected using the connecting means of a flexible substrate etc.

[0116]

[Effect of the Invention] As mentioned above, according to this invention, the signal line with same 1st signal-line drive circuit for the main image screens and 2nd signal-line drive circuit for \*\*\*\*\* screens is shared. And in order to control so that the 2nd signal-line drive circuit drives the signal line further after the 1st signal-line drive circuit drives a signal line, The main image screen by the 1st signal-line drive circuit can be easily overwritten on the \*\*\*\*\* screen by the 2nd signal-line drive circuit, and a superimposition and a picture in picture can be performed easily. In this case, division of itself does not have the 1st signal-line drive circuit and the 2nd signal-line drive circuit, and they do not generate the stripes in the division boundary location on the display screen, either. Therefore, even if it increases the degree of freedom of the viewing-area selection at the time of performing a superimposition and a picture in picture, the display property by the stripes in a division boundary location does not get worse.

---

[Translation done.]

\* NOTICES \*

**JPO and NCIP are not responsible for any damages caused by the use of this translation.**

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.\*\*\*\* shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

---

## DESCRIPTION OF DRAWINGS

---

[Brief Description of the Drawings]

[Drawing 1] It is the block diagram showing the important section configuration of

the liquid crystal display in the operation gestalt 1 of this invention.

[Drawing 2] (a) - (g) is the timing-chart Fig. of each signal in the liquid crystal display of drawing 1 .

[Drawing 3] It is the block diagram showing the important section configuration of the liquid crystal display in the operation gestalt 2 of this invention.

[Drawing 4] (a) - (i) is the timing-chart Fig. of each signal in the liquid crystal display of drawing 3 .

[Drawing 5] It is the block diagram showing the important section configuration of the liquid crystal display in the operation gestalt 3 of this invention.

[Drawing 6] (a) - (g) is the timing-chart Fig. of each signal in the liquid crystal display of drawing 5 .

[Drawing 7] It is the block diagram showing the important section configuration of the conventional liquid crystal display.

[Drawing 8] (a) - (d) is the timing-chart Fig. of each signal in the liquid crystal display of drawing 7 .

[Description of Notations]

1, 11, 21 Liquid crystal display

2, 12, 22 Display

3, 13, 23 Control section (control means)

SD1, SD2, SD11, SD12, SD22 Source driver (signal-line drive circuit)

SL1-SL<sub>n</sub>, SL<sub>p</sub>-SL<sub>q</sub> Signal line

GD Gate driver (scanning-line drive circuit)

GL Scanning-line group

Video1 Main video signal

SCK1, SCK2 Video-signal sampling clock signal

SSP1, SSP2 Video-signal sampling start signal (drive start signal)

Video2 A superimposition and video signal for picture in pictures

SWE Write-in enable signal

TRF1, TRF2 Data transfer signal (transfer signal)

.....

[Translation done.]

\* NOTICES \*

JPO and NCIP are not responsible for any damages caused by the use of this translation.

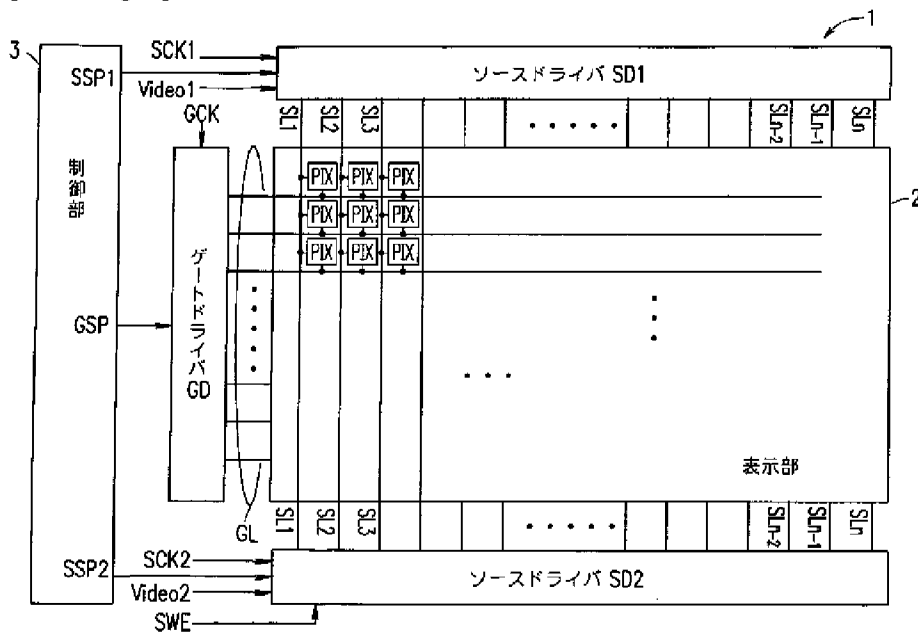
1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

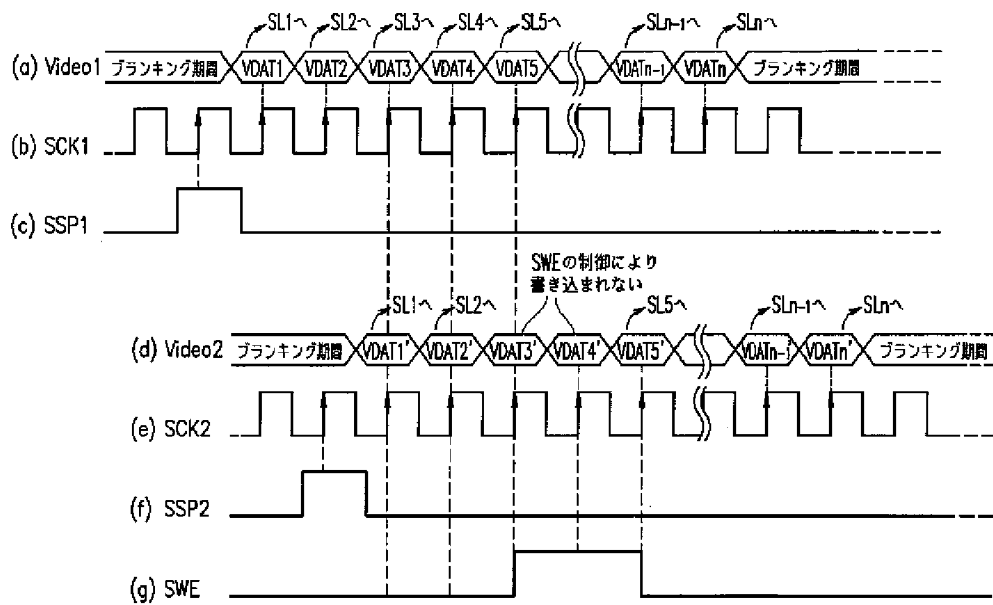
## DRAWINGS

---

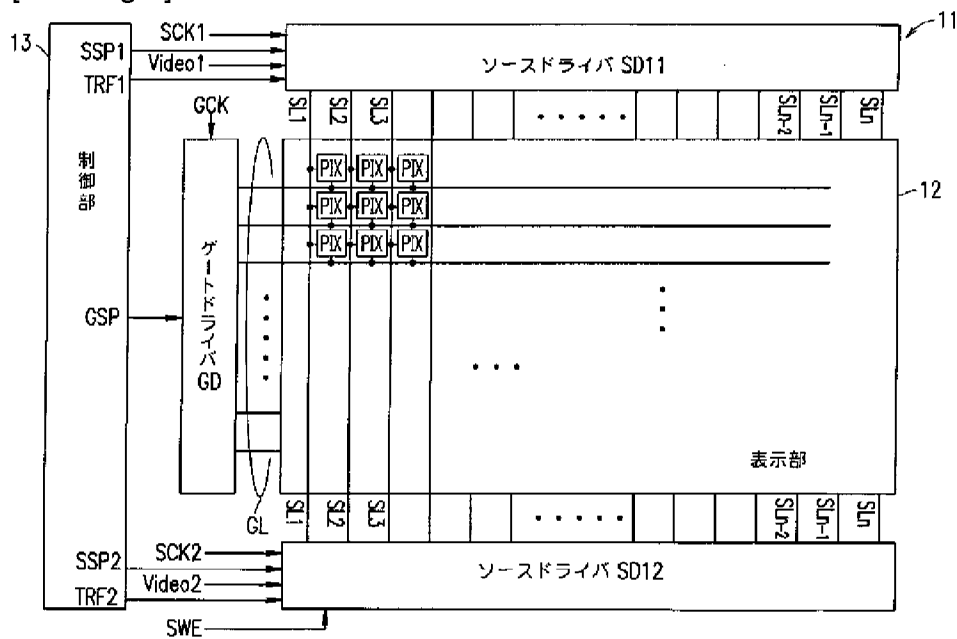
[Drawing 1]



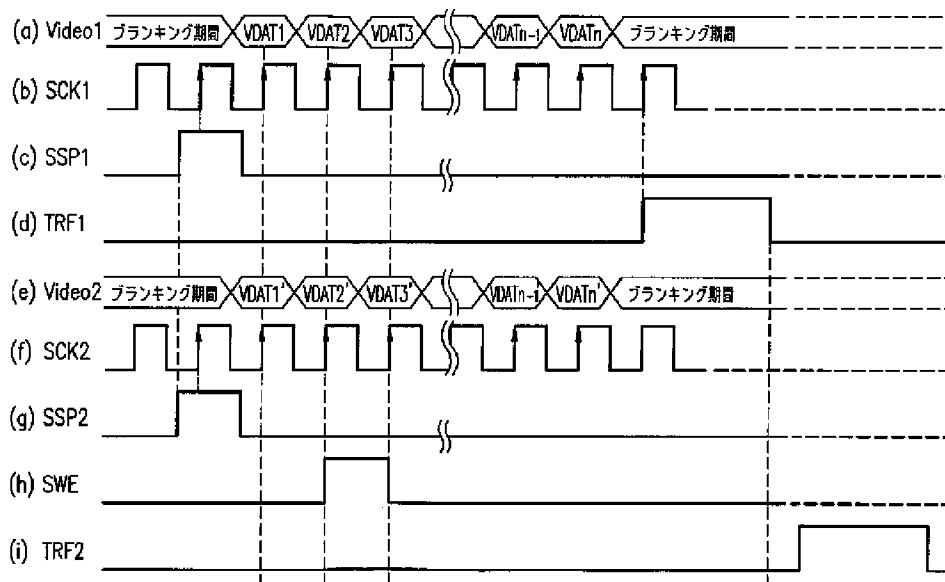
[Drawing 2]



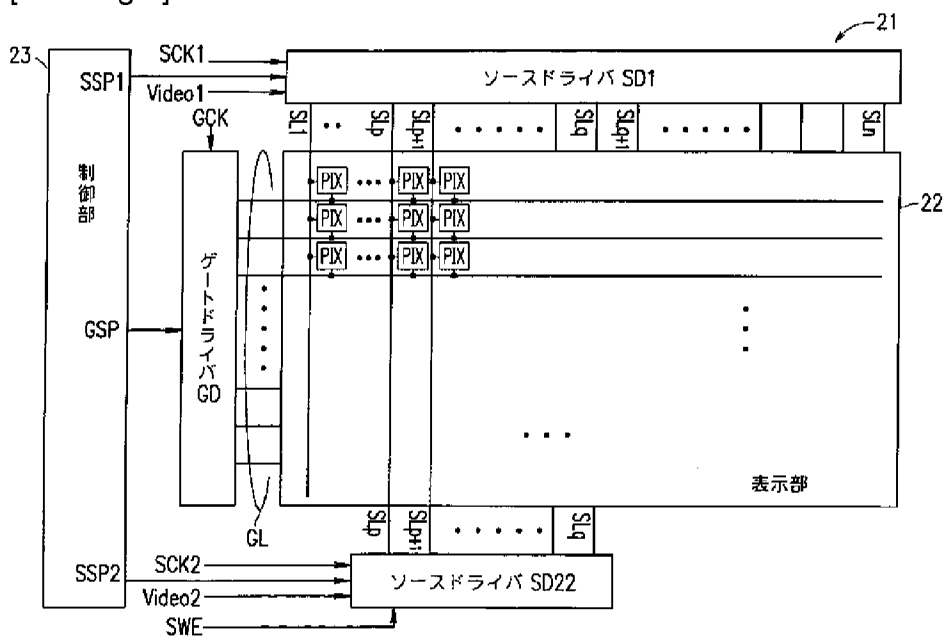
[Drawing 3]



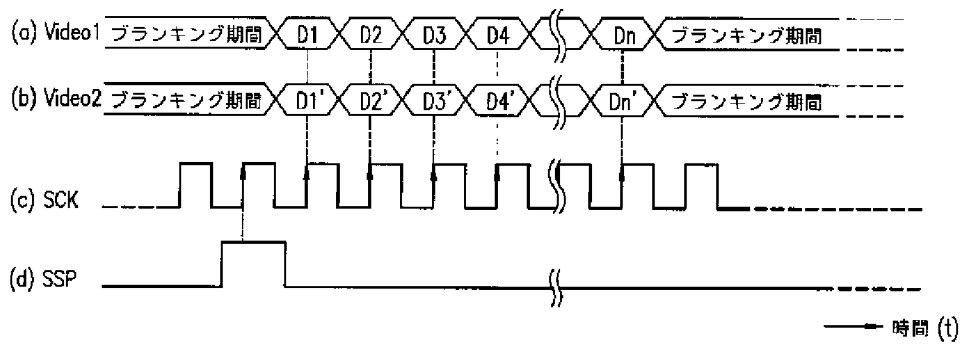
[Drawing 4]



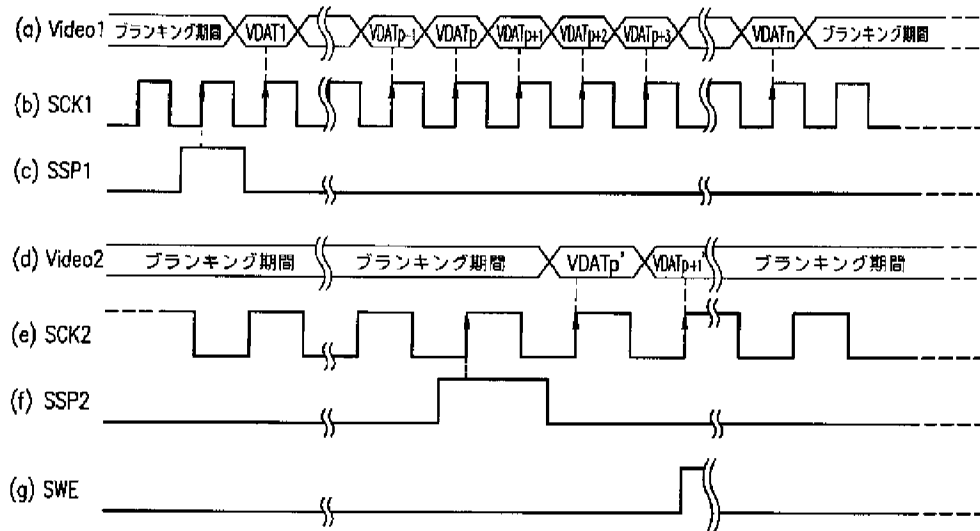
[Drawing 5]



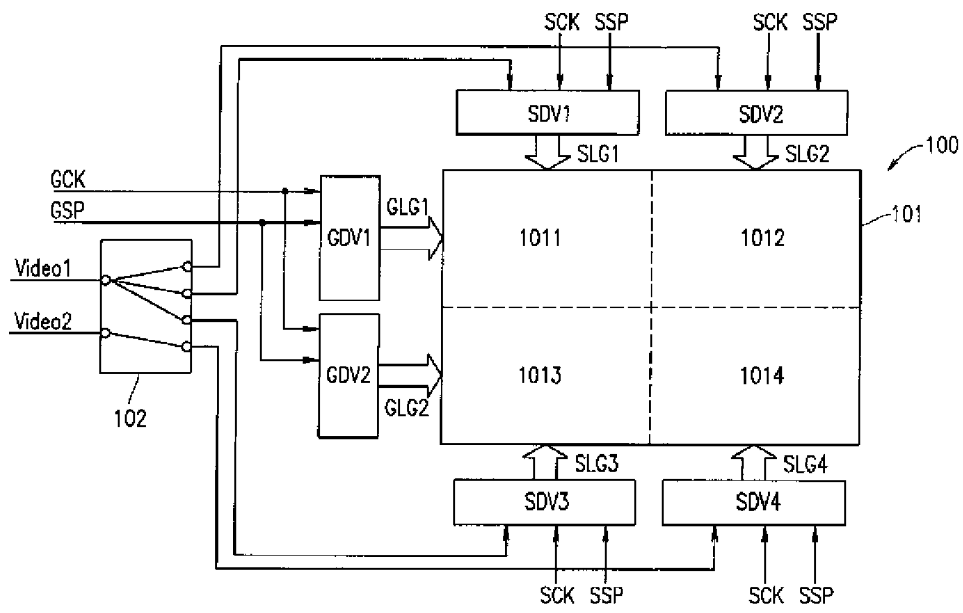
[Drawing 8]



[Drawing 6]



[Drawing 7]




---

[Translation done.]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号  
特開2003-108079  
(P2003-108079A)

(43) 公開日 平成15年4月11日 (2003. 4. 11)

(51) Int.Cl. <sup>7</sup>	識別記号	F I	テーマコード* (参考)
G 0 9 G 3/36		C 0 9 G 3/36	2 H 0 9 3
G 0 2 F 1/133	5 5 0	C 0 2 F 1/133	5 5 0 5 C 0 0 6
G 0 9 G 3/20	6 2 1	G 0 9 G 3/20	6 2 1 M 5 C 0 2 5
	6 2 2		6 2 2 B 5 C 0 5 8
	6 2 3		6 2 3 M 5 C 0 8 0

審査請求 未請求 請求項の数 9 O L (全 16 頁) 最終頁に続く

(21) 出願番号 特願2001-294991 (P2001-294991)

(22) 出願日 平成13年9月26日 (2001. 9. 26)

(71) 出願人 000003049

シャープ株式会社

大阪府大阪市阿倍野区長池町22番22号

(72) 発明者 ▲桑▼原 信弘

大阪府大阪市阿倍野区長池町22番22号 シ  
ャープ株式会社内

(72) 発明者 森川 大樹

大阪府大阪市阿倍野区長池町22番22号 シ  
ャープ株式会社内

(74) 代理人 100078282

弁理士 山本 秀策

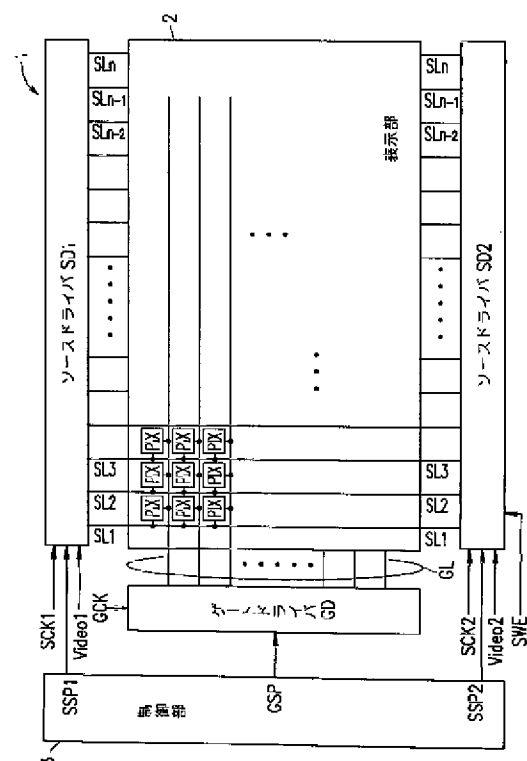
最終頁に続く

(54) 【発明の名称】 表示装置

(57) 【要約】

【課題】ピクチャーインピクチャーなどを行う際の表示領域選択の自由度を増したとしても、分割境界位置での縞による表示特性が悪化しない。

【解決手段】 主映像画面用のソースドライバSD 1 と、スーパーインポーズやピクチャーインピクチャー用のソースドライバSD 2 とが同じ信号線SL 1 ～SL n を共有しており、かつ、制御部3は、ソースドライバSD 1 が駆動し終わった信号線SL x (1 ≤ x ≤ N) を、ソースドライバSD 2 が更に駆動するように、映像信号サンプリング開始信号SSP 1, 2 を時間的にずらしてソースドライバSD 1, SD 2 に出力する。このため、ソースドライバSD 1 による主映像画面をソースドライバSD 2 によるスーパーインポーズやピクチャーインピクチャー用画面上書きできる。この場合に、ソースドライバSD 1, SD 2 はそれ自体の分割はなく、表示画面上の分割境界位置での縞も発生しない。



【特許請求の範囲】

【請求項1】 複数列設された走査線に走査信号を順次供給する走査線駆動回路と、該複数の走査線に交叉するように複数列設された信号線に映像信号を供給する信号線駆動回路とを有し、該走査信号出力に応じた映像信号出力により画面表示する表示装置において、該信号線駆動回路は、少なくとも主映像画面用の第1信号線駆動回路と、従映像画面用の第2信号線駆動回路で構成され、該第1信号線駆動回路および第2信号線駆動回路は同じ信号線を共有しており、該第1信号線駆動回路を制御して信号線を駆動すると共に、該第2信号線駆動回路を制御して、該第1信号線駆動回路により駆動した信号線を更に駆動する制御手段を有する表示装置。

【請求項2】 前記制御手段は、前記第1信号線駆動回路および第2信号線駆動回路が、同一の信号線を異なる時期に駆動するように、該第1信号線駆動回路および第2信号線駆動回路の駆動開始を時間的にずらす駆動開始信号を出力し、該第1信号線駆動回路および第2信号線駆動回路は1水平走査期間内で駆動すべき全信号線を駆動する請求項1記載の表示装置。

【請求項3】 前記第1信号線駆動回路および第2信号線駆動回路の少なくとも何れかに、該第1信号線駆動回路および第2信号線駆動回路の少なくとも何れかが1水平走査期間内で駆動すべき全信号線に対する映像データを一時的に記憶する記憶手段が設けられ、前記制御手段は、該第1信号線駆動回路および第2信号線駆動回路が、同一の信号線を異なる時期に駆動するように、該記憶手段に記憶した映像データを全信号線に出力させるトランスファ信号を出力する請求項1記載の表示装置。

【請求項4】 前記制御手段は、前記第1信号線駆動回路および第2信号線駆動回路のうち少なくとも第1信号線駆動回路が1水平走査期間内で全信号線に対して駆動する請求項3記載の表示装置。

【請求項5】 前記第2信号線駆動回路は、全信号線のうちの一部の信号線群に接続されている請求項1または2記載の表示装置。

【請求項6】 前記第2信号線駆動回路への駆動用クロック信号の周波数は、前記全信号線に接続されている前記第1信号線駆動回路への駆動用クロック信号の周波数に比べて低く設定されている請求項5記載の画像表示装置。

【請求項7】 前記第1信号線駆動回路および第2信号線駆動回路はそれぞれ、列設された複数の信号線の一端側と他端側であって、画面表示が為される表示部の両対向辺側にそれぞれ配設されている請求項1記載の表示装置。

【請求項8】 前記第1信号線駆動回路および第2信号

線駆動回路はそれぞれ、列設された複数の信号線の一端側と他端側の何れかであって、画面表示が為される表示部の両対向辺の一方側に配設されている請求項1記載の画像表示装置。

【請求項9】 前記信号線駆動回路および走査線駆動回路のうち少なくとも何れかが、画面表示が為される表示部が形成された基板と同一基板上に形成されている請求項1記載の表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、主映像画面上に、特定の文字やキャラクタなどをスーパーインポーズしたり、小映像画面をピクチャーインピクチャーしたりすることを可能とする液晶表示装置などの表示装置に関する。

【0002】

【従来の技術】従来、ピクチャーインピクチャーを行うことが可能な表示装置として、以下のような画像表示装置が提案されている。

【0003】図7は、従来の液晶表示装置の要部構成を示すブロック図である。図7において、液晶表示装置100は、画像表示が為される表示部101と、表示部101の信号線群を駆動する信号線駆動回路SDV1~4と、表示部101の走査線群を駆動する走査線駆動回路GDV1、2と、信号線駆動回路SDV1~4に入力される映像信号を選択出力可能とする映像信号選択回路102とを有している。

【0004】表示部101は、その表示領域が、複数の例えば表示領域1011~1014に分割されており、この表示領域1011には互いに直交した信号線群SLG1と走査線群GLG1とを含み、表示領域1012には互いに直交した信号線群SLG2と走査線群GLG2とを含み、表示領域1013には互いに直交した信号線群SLG3と走査線群GLG3とを含み、表示領域1014には互いに直交した信号線群SLG4と走査線群GLG4とを含んでいる。これらの信号線群のうち、隣接した二つの信号線と隣接した二つの走査線とに囲まれた部分に表示素子が設けられ、この表示素子が一つの絵素を構成し、この表示素子が縦横にマトリクス状に多数配設されて画面表示される。

【0005】信号線駆動回路SDV1は信号線群SLG1の一端に接続され、信号線駆動回路SDV2は信号線群SLG2の一端に接続され、信号線駆動回路SDV3は信号線群SLG3の一端に接続され、信号線駆動回路SDV4は信号線群SLG4の一端に接続されている。一方、信号線駆動回路SDV1~4にはそれぞれ、映像信号サンプリング用クロック信号SCKと映像信号サンプリング開始信号SSPが外部からそれぞれ入力されている。信号線駆動回路SDV1~4はそれぞれ、映像信号サンプリング用クロック信号SCKと映像信号サンプ

リング開始信号SSPに基づいて、信号線へのデータ信号のサンプリングが制御される。

【0006】走査線駆動回路GDV1は走査線群GLG1の一端に接続され、走査線駆動回路GDV2は走査線群GLG2の一端に接続されている。走査線駆動回路GDV1, 2にはそれぞれ、走査選択用クロック信号GCKと走査線選択開始信号GSPとが外部からそれぞれ入力されている。走査線駆動回路GDV1, 2はそれぞれ、走査選択用クロック信号GCKと走査線選択開始信号GSPとに基づいて、各走査線に走査信号を順次出力するように制御される。

【0007】映像信号選択回路102には、主映像画面用の映像信号Video1と、ピクチャーインピクチャーの映像画面用の映像信号Video2とが入力され、映像信号Video1, 2の何れかをそれぞれ選択出力して信号線駆動回路SDV1~4にそれぞれ供給可能にしている。

【0008】ここで、例えば表示領域1014にピクチャーインピクチャーを行う場合について、図8(a)~図8(d)に示す液晶表示装置100の各信号のタイミングチャートを用いて詳細に説明する。

【0009】信号線駆動回路SDV1~3には、映像信号選択回路102で選択出力された図8(a)に示す主映像信号Video1が供給され、また、信号線駆動回路SDV4には、映像信号選択回路102で選択出力された図8(b)に示すピクチャーインピクチャー用の映像信号Video2が供給されている。

【0010】また、図8(c)に示す映像信号サンプリング用クロック信号SCKと、図8(d)に示す映像信号サンプリング開始信号SSPとは、各信号線駆動回路SDV1~4にそれぞれ供給されている。

【0011】走査線駆動回路GDV1, 2にはそれぞれ、走査線選択用クロック信号GCKと走査線選択開始信号GSPとがそれぞれ供給されている。

【0012】以上により、表示領域1011~1013では、映像信号Video1による主映像が表示され、小画面の表示領域1014では、ピクチャーインピクチャー用の映像信号Video2による映像が表示される。このようにして、主映像画面上にピクチャーインピクチャー機能による画像表示が可能になる。

【0013】なお、上記表示領域1013, 1014間の新たな画面位置でピクチャーインピクチャー機能による画像表示を行う場合も想定できるが、この場合には、信号線駆動回路の分割数を更に増やし、その増やした分割信号線駆動回路に対してピクチャーインピクチャー機能による画像表示を行うことで対処することができる。しかも、信号線駆動回路の分割数を増やすことで、ピクチャーインピクチャーを行う際の表示領域の位置選択の自由度が増すことになる。

【0014】

【発明が解決しようとする課題】しかしながら、前述したように、信号線駆動回路の分割数を増やすことは、分割境界位置で縞が出易くなるため、表示特性の観点から好ましくない。つまり、上記従来の分割駆動方法では、ピクチャーインピクチャー機能による画像表示を行う際の表示領域の選択についての自由度と表示特性とが相反する関係になっている。即ち、その表示領域選択の自由度が増せば、その分、表示特性として縞が出易くなる。

【0015】本発明は、上記事情に鑑みて為されたもので、ピクチャーインピクチャーなどを行う際の表示領域選択の自由度を増したとしても、分割境界位置での縞による表示特性が悪化しない表示装置を提供することを目的とする。

【0016】

【課題を解決するための手段】本発明の表示装置は、複数列設された走査線に走査信号を順次供給する走査線駆動回路と、複数の走査線に交叉するように複数列設された信号線に映像信号（映像データ）を供給する信号線駆動回路とを有し、走査信号出力に応じた映像信号出力により画面表示する表示装置において、信号線駆動回路は、少なくとも主映像画面用の第1信号線駆動回路と、従映像画面用の第2信号線駆動回路で構成され、これらの第1信号線駆動回路および第2信号線駆動回路は同一または複数の信号線を共有しており、第1信号線駆動回路を制御して信号線を駆動（例えばサンプリング動作）すると共に、第2信号線駆動回路を制御して、第1信号線駆動回路により駆動（例えばサンプリング動作）した信号線を更に駆動（例えばサンプリング動作）する制御手段を有するものであり、そのことにより上記目的が達成される。

【0017】また、好ましくは、本発明の表示装置における制御手段は、第1信号線駆動回路および第2信号線駆動回路が、同一の信号線を異なる時期に（または、異なる信号線を同時期に）駆動するように、第1信号線駆動回路および第2信号線駆動回路の駆動開始を時間的にずらす駆動開始信号を出力し、第1信号線駆動回路および第2信号線駆動回路は1水平走査期間内で駆動すべき全信号線を駆動する。

【0018】さらに、好ましくは、本発明の表示装置における第1信号線駆動回路および第2信号線駆動回路の少なくとも何れかに、第1信号線駆動回路および第2信号線駆動回路の少なくとも何れかが1水平走査期間内で駆動すべき全信号線に対する映像データを一時的に記憶する記憶手段が設けられ、制御手段は、第1信号線駆動回路および第2信号線駆動回路が、同一の信号線を異なる時期に（または、異なる信号線を同時期に）駆動するように、記憶手段に記憶した映像データを全信号線に出力させるトランスファ信号を出力する。

【0019】さらに、好ましくは、本発明の表示装置における制御手段は、第1信号線駆動回路および第2信号

線駆動回路のうち少なくとも第1信号線駆動回路が1水平走査期間内で全信号線に対して駆動（例えばサンプリング動作）する。

【0020】さらに、好ましくは、本発明の表示装置における第2信号線駆動回路は、全信号線のうちの一部の信号線群に接続されている。

【0021】さらに、好ましくは、本発明の表示装置における第2信号線駆動回路への駆動用クロック信号の周波数は、全信号線に接続されている第1信号線駆動回路への駆動用クロック信号の周波数に比べて低く設定されている。

【0022】さらに、好ましくは、本発明の表示装置における第1信号線駆動回路および第2信号線駆動回路はそれぞれ、列設された複数の信号線の一端側と他端側であって、画面表示が為される表示部の両対向辺側にそれぞれ配設されている。

【0023】さらに、好ましくは、本発明の表示装置における第1信号線駆動回路および第2信号線駆動回路はそれぞれ、列設された複数の信号線の一端側と他端側の何れかであって、画面表示が為される表示部の両対向辺の一方側に配設されている。

【0024】さらに、好ましくは、本発明の表示装置において、信号線駆動回路および走査線駆動回路のうち少なくとも何れかが、画面表示が為される表示部が形成された基板と同一基板上に形成されている。

【0025】上記構成により、以下、その動作を説明する。

【0026】主映像画面用の第1信号線駆動回路と従映像画面用の第2信号線駆動回路とが同じ信号線を共有しており、第1信号線駆動回路を制御して信号線を駆動すると共に、第2信号線駆動回路を制御して、第1信号線駆動回路により駆動した信号線を更に駆動するので、第1信号線駆動回路による主映像画面を第2信号線駆動回路による従映像画面で上書きすることになり、スーパーインポーズやピクチャーインピクチャーを容易に行うことが可能となる。この場合に、第1信号線駆動回路と第2信号線駆動回路とはそれ自体の分割はなく、分割境界位置での縞の発生もない。したがって、スーパーインポーズやピクチャーインピクチャーを行う際の表示領域選択の自由度が増し、この場合にも、表示画面上の分割境界位置での縞による表示特性の悪化は全く発生しない。

【0027】

【発明の実施の形態】以下、本発明の表示装置を例えば液晶表示装置に適用させた本発明の実施形態1〜3について図面を参照しながら説明する。

（実施形態1）図1は、本発明の実施形態1における液晶表示装置の要部構成を示すブロック図である。

【0028】図1において、液晶表示装置1は、画面表示を行う表示部2と、走査線群GLを順次駆動する走査線駆動回路GD（以下ゲートドライバGDという）と、

信号線群SLを順次駆動する信号線駆動回路SDと、ゲートドライバGDおよび信号線駆動回路SDを駆動制御する制御部3（制御手段）とを有している。

【0029】表示部2は、隣接した二つの信号線SLと隣接した二つの走査線GLとで囲まれた部分に画素PIXが配設されており、各画素PIXは、マトリクス状に縦横に多数配設されている。画素PIXは液晶表示セルで構成されている。表示部2は、走査線GLに順次供給される走査信号によって、信号線SLに供給されるデータ映像信号が各画素PIXに供給されて画面表示される。

【0030】ゲートドライバGDは、表示部2に多数列設された走査線群GLの各一端にそれぞれ接続されており、走査線群GLの各走査線に走査信号を順次供給するものである。なお、ゲートドライバGDには、駆動回路動作用の走査線選択クロック信号GCKと、走査線選択開始信号GSPとが入力されている。

【0031】信号線駆動回路SDは、単独で画像表示可能とする複数の駆動回路が設けられてマルチドライバ構成となっており、ここでは例えば表示部2の上側の第1信号線駆動回路（以下ソースドライバSD1という）と、表示部2の下側の第2信号線駆動回路（以下ソースドライバSD2という）との二つ配設されている。

【0032】ソースドライバSD1は主映像画面用の信号線駆動回路であり、表示部2に多数列設された信号線SL1〜SLn（ $1 < n \leq N$ ；n，Nは2以上の正の整数）の一端に接続されて、主映像信号Video1を順次サンプリングして信号線SL1〜SLnに順次供給するものである。なお、ソースドライバSD1には、駆動回路動作用の映像信号サンプリングクロック信号SCK1と、映像信号サンプリング開始信号SSP1と、サンプリングされる主映像信号Video1とが入力されている。

【0033】ソースドライバSD2は、スーパーインポーズやピクチャーインピクチャーなどの従映像画面用の信号線駆動回路であり、信号線SL1〜SLn（ $1 < n \leq N$ ；n，Nは2以上の正の整数）の他端に接続されて、スーパーインポーズやピクチャーインピクチャー用の映像信号Video2を順次サンプリングして信号線SL1〜SLnに順次供給するものである。なお、ソースドライバSD2には、駆動回路動作用の映像信号サンプリングクロック信号SCK2と、映像信号サンプリング開始信号SSP2と、映像データの信号線への書込みイネーブル信号SWEと、サンプリングされるスーパーインポーズやピクチャーインピクチャー用映像信号Video2とが入力されている。また、これらのソースドライバSD1，SD2は同一の信号線SL1〜SLnを共有している。

【0034】制御部3は、ソースドライバSD2に出力する映像信号サンプリング開始信号SSP2を、ソース

ドライバSD1に出力する映像信号サンプリング開始信号SSP1よりも所定期間遅延させて出力し、ソースドライバSD1、SD2に対して1水平走査期間内で同一の信号線SL1～SLnを順次駆動させるように制御する。つまり、制御部3は、ソースドライバSD1によりサンプリング（選択動作）した同じ信号線を更にソースドライバSD2によりサンプリング（選択動作）するものであり、同じ信号線を異なる時期に（異なる信号線を同時期に）サンプリング（選択動作）するものである。

【0035】ここで、スーパーインポーズやピクチャーインピクチャー機能を実行する画像表示装置1の駆動方法について図2を用いて説明する。

【0036】上記構成により、まず、図2（a）に示す主映像信号Video1と、図2（b）に示す映像信号サンプリングクロック信号SCK1として周波数 $\alpha$  MHzのクロック信号と、図2（c）に示す映像信号サンプリング開始信号SSP1として、主映像信号Video1の1水平走査期間における有効表示領域の先頭位置を示すパルス信号とが、ソースドライバSD1に供給されている。

【0037】また同様に、図2（d）に示すスーパーインポーズやピクチャーインピクチャー用の映像信号Video2と、図2（e）に示す映像信号サンプリングクロック信号SCK2として周波数 $\alpha'$  MHzのクロック信号と、図2（f）に示す映像信号サンプリング開始信号SSP2としてスーパーインポーズやピクチャーインピクチャー用の映像信号Video2の1水平走査期間における有効表示領域の先頭位置を示すパルス信号と、図2（g）に示す映像データの信号線への書込みイネーブル信号SWEとがソースドライバSD2に供給されている。

【0038】このとき、走査線選択クロック信号GCKとして周波数 $\beta$  KHzのクロック信号と、走査線選択開始信号GSPとして主映像信号Video1の1垂直走査期間における有効表示領域の先頭位置を示すパルス信号とがゲートドライバGDに供給されている。

【0039】ただし、ソースドライバSD1、SD2およびゲートドライバGDに供給される各信号はそれぞれ、以下の三つの条件（1）～（3）を満たさなければならない。

【0040】（1）映像信号サンプリングクロック信号SCK2は、映像信号サンプリングクロック信号SCK1と比べて、その周波数および位相が異なってもよいが、必ず、1水平走査期間内に全信号線SL1～SLnに対する映像データのサンプリングが完了するような周波数にする必要がある。映像信号サンプリングクロック信号SCK1、SCK2は同一周波数であることが望ましい。

【0041】（2）ソースドライバSD1がサンプリングを行う信号線SLx（ $1 \leq x \leq N$ ；x、Nは正の整

数）と、ソースドライバSD2がサンプリングを行う信号線SLx'（ $1 \leq x' \leq N$ ；x'は正の整数）において、同時に $x = x'$ とならないように、サンプリングするタイミングを制御する。即ち、両ソースドライバSD1、SD2が同時に同一の信号線に対して映像信号のサンプリングを行わないように制御する必要がある。

【0042】例えば図2のように、映像信号サンプリングクロック信号SCK1、SCK2が同一周波数および同一位相の場合、ソースドライバSD1が1本以上の信号線にサンプリングを行った後に（所定の遅延期間経過後に）、ソースドライバSD2がサンプリングを開始するように、映像信号サンプリング開始信号SSP1の出力時点から所定期間遅延させて映像信号サンプリング開始信号SSP2を供給する。即ち、制御部3は、映像信号サンプリング開始信号SSP1、SSP2を、映像信号サンプリングクロック信号SCK1、SCK2の1サイクル分以上異ならせて出力制御する。これによって、主映像データを、スーパーインポーズやピクチャーインピクチャー用の映像データで上書きすることが可能となる。

【0043】（3）スーパーインポーズやピクチャーインピクチャー用の映像信号Video2の有効表示領域の先頭データが、主映像信号Video1の有効表示領域の先頭データに比べて、ソースドライバSD1が1本以上の信号線にサンプリングを行う期間分だけ遅れて出力する。

【0044】本実施形態1が、以上の3条件（1）～（3）を満たしているものとして、スーパーインポーズやピクチャーインピクチャー動作を実行する液晶表示装置1の駆動方法についての説明を続ける。

【0045】ソースドライバSD1では、制御部3から供給された映像信号サンプリング開始信号SSP1を受けて、映像信号サンプリングクロック信号SCK1に同期させて、主映像信号Video1のサンプリングを開始する。サンプリングによって得られた主映像データVDAT1～VDATn（ $1 < n \leq N$ ；n、Nは正の整数）がそれぞれ各信号線SL1～SLnをそれぞれ通して、ゲートドライバGDによって順次選択（所謂、線順次走査）されている1走査線GLmに接続している各画素PIXに順次書込まれる。つまり、主映像データVDAT1は信号線SL1に供給され、主映像データVDAT2は次の信号線SL2に供給され、・・・主映像データVDATnは信号線SLnに順次供給される。

【0046】このとき、ソースドライバSD2では、ソースドライバSD1と同様に、制御部3から供給された映像信号サンプリング開始信号SSP2を受けて、映像信号サンプリングクロック信号SCK2に同期して、スーパーインポーズやピクチャーインピクチャー用の映像信号Video2と、映像データの信号線への書込みイネーブル信号SWEとのサンプリングを開始する。

【0047】サンプリングによって得られた各映像データの信号線への書込みイネーブルデータ  $SW E 1' \sim n'$  に基づいて「書込み許可」と判断された、サンプリングによって得られたスーパーインポーズやピクチャーインピクチャー用の映像データ  $V D A T 1' \sim V D A T n'$  ( $1 < n' \leq N$ ;  $n'$ ,  $N$ は正の整数)は、各信号線  $S L 1 \sim S L n$  を通して、ゲートドライバ  $G D$  によって順次選択(順次走査)されている1走査線  $G L m$  に接続されている各画素  $P I X$  に順次書込まれる。なお、書込みイネーブル信号  $SW E$  が  $L'$  (ローレベル)の際、データ書込み可能とするならば、図2(g)では、映像データ  $V D A T 3'$ ,  $V D A T 4'$  は画素  $P I X$  に書込まない。それ以外の映像データ  $V D A T 1'$  は信号線  $S L 1$  に供給され、主映像データ  $V D A T 2'$  は次の信号線  $S L 2$  に供給され、 $\dots$  主映像データ  $V D A T n'$  は信号線  $S L n$  に順次供給されて各画素  $P I X$  にそれぞれデータ書込みされる。

【0048】つまり、ソースドライバ  $SD 1$  で先にサンプリングした主映像データをソースドライバ  $SD 2$  でサンプリングした従映像データ(スーパーインポーズやピクチャーインピクチャー用映像データ)で上書きすることになる。

【0049】以上により、本実施形態1によれば、主映像画面用のソースドライバ  $SD 1$  と、スーパーインポーズやピクチャーインピクチャー用のソースドライバ  $SD 2$  とが同じ信号線  $S L 1 \sim S L n$  を共有しており、かつ、制御部3は、ソースドライバ  $SD 1$  が先に駆動し終わった信号線  $S L x$  ( $1 \leq x \leq N$ )を、ソースドライバ  $SD 2$  が更に後から駆動するように、映像信号サンプリング開始信号  $SSP 1, 2$  を時間的にずらしてソースドライバ  $SD 1, SD 2$  に出力するため、ソースドライバ  $SD 1$  による主映像画面をソースドライバ  $SD 2$  によるスーパーインポーズやピクチャーインピクチャー用画面で容易に上書きすることができる。

【0050】このようにすることで、表示部2の表示画面上において、その表示領域の自由な位置にスーパーインポーズやピクチャーインピクチャー機能を容易に実行させることが可能となる。このとき、ソースドライバ  $SD 1, SD 2$  自体の分割が無いため、分割境界位置での縞の発生もない。このように、スーパーインポーズやピクチャーインピクチャーを行う際の表示領域選択の自由度を増やすことができ、この場合に、表示画面上の分割境界位置での縞による表示特性の悪化は起こらない。

【0051】なお、スーパーインポーズやピクチャーインピクチャー用の映像信号  $V i d e o 2$  がアナログ信号で、サンプリングした時の映像データが、ある電圧値よりも低いかあるいは、高い時、その映像データを信号線に書込まないようにする回路がソースドライバ  $SD 2$  に盛り込まれている場合、また、スーパーインポーズやピクチャーインピクチャー用の映像信号  $V i d e o 2$  がデ

ジタル信号で、サンプリングした時の映像データが、あるデジタル値のとき、その映像データを信号線に書込まないようにする回路がソースドライバ  $SD 2$  に盛り込まれている場合の何れかであるときには、映像データの信号線への書込みイネーブル信号  $SW E$  を省略することができる。本実施形態1では、書込みイネーブル信号  $SW E$  を用いて上記書込み制御機能を実現している。

【0052】また、本実施形態1では、図2に示す駆動方法のように、動作開始時点は両ソースドライバ  $SD 1, SD 2$  でサンプリングのタイミングが多少ずれている(サンプリングのタイミングに遅延時間を持たせている)ものの、1水平期間内で全信号線  $S L 1 \sim S L n$  サンプリングされるように同時に両ソースドライバ  $SD 1, SD 2$  が動作している。これに限らず、上記条件(1)～(3)を満たす限り、ソースドライバ  $SD 1$  のサンプリング動作が完了した後に、ソースドライバ  $SD 2$  のサンプリング動作が始まるように、1水平期間内で、何れか片方のソースドライバだけがサンプリング動作するように構成することもできる。

【0053】さらに、本実施形態1では、両ソースドライバ  $SD 1, SD 2$  はそれぞれ、表示部2の上下の両対向辺側にそれぞれ配設して各信号線と接続しているが、表示部2の上下の両対向辺側のうち何れか片側に両ソースドライバ  $SD 1, SD 2$  が共に配設されて各信号線(全信号線  $S L 1 \sim S L n$ )とそれぞれ接続するように構成することもできる。

【0054】さらに、本実施形態1では、特に説明しなかったが、両ソースドライバ  $SD 1, SD 2$  とゲートドライバ  $G D$  は、表示部2が形成されている基板と同一の基板上にモノシリックに形成されていてもよく、フレキシブル基板などの接続手段を用いて接続してもよい。

(実施形態2) 本実施形態2では、映像信号  $V i d e o 1, 2$  の各サンプリングを同時に開始して主映像信号  $V i d e o 1$  の時系列の各サンプリング電位と、スーパーインポーズやピクチャーインピクチャー用の映像信号  $V i d e o 2$  の時系列の各サンプリング電位とをそれぞれ一旦、各メモリに記憶し、ソースドライバ  $SD 1 1, 1 2$  から信号線  $S L 1 \sim S L n$  に、互いに異なるタイミングで上記各サンプリング電位を供給する場合である。

【0055】図3は、本発明の実施形態2における液晶表示装置の要部構成を示すブロック図である。

【0056】図3において、液晶表示装置11は、画面表示を行う表示部12と、走査線群  $G L$  を順次駆動する走査線駆動回路  $G D$  (以下ゲートドライバ  $G D$  という)と、信号線群  $S L$  を駆動する信号線駆動回路  $SD'$  と、ゲートドライバ  $G D$  および信号線駆動回路  $SD'$  を制御する制御部13とを有している。

【0057】表示部12は、隣接する二つの信号線  $S L$  と隣接する二つの走査線  $G L$  で囲まれた部分に画素  $P I X$  が配設されており、各画素  $P I X$  は、マトリクス状に

縦横に多数配設されている。画素PIXは液晶表示セルで構成されている。表示部12は、走査線GLに供給される走査信号毎に、信号線SLに供給されるデータ映像信号が画素PIXに供給されて画像表示される。

【0058】ゲートドライバGDは、表示部12に多数列設された走査線群GLの一端にそれぞれ接続されており、走査信号を走査線群GLの各走査線に順次供給するものである。なお、ゲートドライバGDには、駆動回路動作の走査線選択クロック信号GCKと、走査線選択開始信号GSPとが入力されている。

【0059】信号線駆動回路SD'は、単独で画像表示可能とする複数の駆動回路が設けられてマルチドライバ構成となっており、例えば表示部12の上側の第1信号線駆動回路（以下ソースドライバSD11という）と、表示部2の下側の第2信号線駆動回路（以下ソースドライバSD12という）との二つ配設されている。

【0060】ソースドライバSD11は、表示部12に多数列設された信号線SL1～SLn ( $1 < n \leq N$ )の一端に接続されており、主映像信号Video1を順次サンプリングして信号線SL1～SLnに順次供給するものである。なお、ソースドライバSD11には、駆動回路動作の映像信号サンプリングクロック信号SCK1と、映像信号サンプリング開始信号SSP1と、サンプリングされる主映像信号Video1と、後述するデータトランスファ信号TRF1とが入力されている。

【0061】ソースドライバSD11は、主映像信号Video1用として、各信号線1本につき、一つの走査線に接続している全画素PIX分（1ライン毎の信号線数n）の一時記憶手段としてのラッチメモリ（図示せず）をL本分（ $1 \leq L$ ；信号線1本毎にL個）内蔵し、ソースドライバSD11のラッチメモリは、データトランスファ信号TRF1によって全信号線SL1～SLnに出力制御される。

【0062】ソースドライバSD12は、信号線SL1～SLn ( $1 < n \leq N$ )の他端に接続されており、スーパーインポーズやピクチャーインピクチャー用の映像信号Video2を順次サンプリングして信号線SL1～SLnに順次供給するものである。なお、ソースドライバSD12には、駆動回路動作の映像信号サンプリングクロック信号SCK2と、映像信号サンプリング開始信号SSP2と、映像データの信号線への書込みイネーブル信号SWEと、サンプリングされるスーパーインポーズやピクチャーインピクチャー用の映像信号Video2と、後述するデータトランスファ信号TRF2とが入力されている。

【0063】ソースドライバSD12は、スーパーインポーズやピクチャーインピクチャー用の映像信号Video2と映像データの信号線への書込みイネーブル信号SWE用として、各信号線1本につき、一つの走査線に接続されている全画素PIX分（1ライン毎の信号線数

n）のラッチメモリ（図示せず）をL本分（ $1 \leq L$ ；信号線1本毎にL個）内蔵し、ソースドライバSD12のラッチメモリは、データトランスファ信号TRF2によって全信号線SL1～SLnに出力制御される。

【0064】制御部13はソースドライバSD11、SD12に、映像信号サンプリング開始信号SSP1、2を同時に出力し、その後に、データトランスファ信号TRF1、2を所定時間異ならせて出力（同時出力しない）するものである。これらのデータトランスファ信号TRF1、2を用いて、制御部13は、ソースドライバSD11から信号線SL1～SLnに主映像信号Video1の時系列の各サンプリング電位を同時に供給した後に、ソースドライバSD12から信号線SL1～SLnにスーパーインポーズやピクチャーインピクチャーの映像信号Video2の時系列の各サンプリング電位を同時に供給するように制御する。

【0065】ここで、スーパーインポーズやピクチャーインピクチャー機能を実行する画像表示装置11の駆動方法について図4を用いて説明する。

【0066】上記構成により、まず、図4（a）に示す主映像信号Video1と、図4（b）に示す映像信号サンプリングクロック信号SCK1として周波数 $\alpha$  MHzのクロック信号と、図4（c）に示す映像信号サンプリング開始信号SSP1として主映像信号Video1の1水平走査期間における有効表示領域の先頭位置を示すパルス信号と、ソースドライバSD11内のラッチメモリに格納されている映像データを信号線に出力させる図4（d）に示すデータトランスファ信号（タイミングパルス信号）TRF1とがソースドライバSD11に供給されている。

【0067】また同様に、図4（e）に示すスーパーインポーズやピクチャーインピクチャー用の映像信号Video2と、図4（f）に示す映像信号サンプリングクロック信号SCK2として周波数 $\alpha'$  MHzのクロック信号と、図4（g）に示す映像信号サンプリング開始信号SSP2としてスーパーインポーズやピクチャーインピクチャー用映像信号Video2の1水平走査期間における有効表示領域の先頭位置を示すパルス信号と、図4（h）に示す映像データの信号線への書込みイネーブル信号SWEと、ソースドライバSD12内のラッチメモリに格納されている映像データを信号線に出力させる図4（i）に示すデータトランスファ信号（タイミングパルス信号）TRF2をソースドライバSD12に供給する。

【0068】このとき、走査線選択クロック信号GCKとして周波数 $\beta$  KHzのクロック信号と、走査線選択開始信号GSPとして主映像信号Video1の1垂直走査期間における有効表示領域の先頭位置を示すパルス信号とがゲートドライバGDに供給されている。

【0069】ただし、ソースドライバSD11、SD1

2およびゲートドライバGDに供給される各信号はそれぞれ、以下の二つの条件(1)、(2)を満たさなければならない。

【0070】(1)映像信号サンプリングクロック信号SCK2は、映像信号サンプリングクロック信号SCK1と比べて、周波数および位相が異なってもよいが、必ず、1水平走査期間内に全信号線SL1~SLnに対して映像データのサンプリング動作が完了するような周波数にする。映像信号サンプリングクロック信号SCK1、SCK2は同一周波数であることが望ましい。

【0071】(2)ソースドライバSD11内のラッチメモリに格納されている映像データを信号線に出力するためのデータトランスファ信号(タイミングパルス信号)TRF1と、ソースドライバSD12内のラッチメモリに格納されている映像データを信号線に出力するためのデータトランスファ信号(タイミングパルス信号)TRF2とが、同時に選択されることがないように出力タイミングを設定する。

【0072】本実施形態2が、以上の2条件(1)、(2)を満たしているものとして、スーパーインポーズやピクチャーインピクチャー動作を実行する画像表示装置11の駆動方法の説明を続ける。

【0073】ソースドライバSD11では、制御部13から供給された映像信号サンプリング開始信号SSP1を受けて、映像信号サンプリングクロック信号SCK1によって、主映像信号Video1のサンプリングを開始し、サンプリングによって得られた主映像データVDAT1~VDATn ( $1 < n \leq N$ )がラッチメモリに格納される。

【0074】一方、ソースドライバSD12では、ソースドライバSD11と同様に、制御部13から供給された映像信号サンプリング開始信号SSP2を受けて、映像信号サンプリングクロック信号SCK2によって、スーパーインポーズやピクチャーインピクチャー用の映像信号Video2と、映像データの信号線への書込みイネーブル信号SWEとのサンプリングを開始し、このサンプリングによって得られたスーパーインポーズやピクチャーインピクチャー用の映像データVDAT1'~VDATn' ( $1 < n' \leq N$ )、各映像データの信号線への書込みイネーブルデータSWE1'~n' ( $1 < n' \leq N$ )が、ラッチメモリに格納される。

【0075】ラッチメモリに映像データの格納が終わった後に、ソースドライバSD11内のラッチメモリに格納されている映像データを信号線に出力させるデータトランスファ信号(タイミングパルス信号)TRF1が制御部13からソースドライバSD11に供給され、主映像データVDAT1~VDATn ( $1 < n \leq N$ )が一斉に各信号線SL1~SLnを通して、ゲートドライバGDによって選択(所謂、線順次走査)されている1走査線GLmに接続している各画素PIXにデータ書込みされ

る。つまり、主映像データVDAT1は信号線SL1に供給され、主映像データVDAT2は次の信号線SL2に供給され、・・・主映像データVDATnは信号線SLnに供給されて各画素PIXにデータ書込みされる。

【0076】主映像データVDAT1~VDATn ( $1 < n \leq N$ )の各画素PIXへの書込み終了後、ソースドライバSD12内のラッチメモリに格納されている映像データを信号線に出力するデータトランスファ信号(タイミングパルス信号)TRF2が制御部13からソースドライバSD12に供給され、サンプリングによって得られた各映像データの信号線への書込みイネーブルデータSWE1'~n'に基づいて「書込み許可」と判断された、サンプリングによって得られたスーパーインポーズやピクチャーインピクチャー用の映像データVDAT1'~VDATn' ( $1 < n' \leq N$ )は一斉に、各信号線SL1~SLnを通して、ゲートドライバGDによって選択(所謂、線順次走査)されている1走査線GLmに接続している各画素PIXにデータ書込みされる。なお、書込みイネーブルデータSWEが'L'(ローレベル)の際、データ書込みが可能とするならば、図4

(h)では、映像データVDAT2'は書込まない。それ以外の映像データVDAT1'は信号線SL1に供給され、・・・主映像データVDATn'は信号線SLnに供給されている。

【0077】つまり、ソースドライバSD11で先にサンプリングした映像データを、ソースドライバSD12で後からサンプリングした映像データで上書きすることになる。

【0078】以上により、本実施形態2によれば、主映像画面用のソースドライバSD11と、スーパーインポーズやピクチャーインピクチャー用のソースドライバSD12とが同じ信号線SL1~SLnを共有しており、かつ、制御部13は、ソースドライバSD11が先に一斉に駆動し終わった信号線群SL1~SLnを、ソースドライバSD2が更に後から一斉に駆動するように、データトランスファ信号(タイミングパルス信号)TRF1、2を時間的にずらしてソースドライバSD11、SD12にそれぞれ別に出力するため、ソースドライバSD11による主映像画面をソースドライバSD12によるスーパーインポーズやピクチャーインピクチャー用画面で容易に上書きすることができる。

【0079】このようにすることで、表示部12の表示画面上において、その表示領域の自由な位置にスーパーインポーズやピクチャーインピクチャーが容易に表示可能となり、また、ソースドライバSD11、SD12自体(信号線駆動回路)の分割もないため、表示画面上の分割境界位置での縞の発生もなく、表示特性のよい画像表示装置が得られる。このように、スーパーインポーズやピクチャーインピクチャーを行う際の表示領域の選択についての自由度を増すことができ、この場にも、表示

画面上の分割境界位置での縞による表示特性の悪化は起こらない。

【0080】なお、スーパーインポーズやピクチャーインピクチャー用の映像信号Video 2がアナログ信号で、サンプリングした時の映像データが、ある電圧値よりも低いあるいは、高い時、その映像データを信号線に書込まないように作用する回路がソースドライバSD 1 2に盛り込まれている場合、また、スーパーインポーズやピクチャーインピクチャー用の映像信号Video 2がデジタル信号で、サンプリングした時の映像データが、あるデジタル値の時、その映像データを信号線に書込まないように作用する回路がソースドライバSD 1 2に盛り込まれている場合の何れかであるときは、映像データの信号線への書込みイネーブル信号SWEを省略することができる。本実施形態2では、書込みイネーブル信号SWEを用いて上記書込み制御機能を実現している。

【0081】また、ソースドライバSD 1 1, SD 1 2それぞれに、映像信号データのラッチ処理が終わった時、ラッチされた映像データを一齐に信号線に書込むような制御回路（制御手段）が盛り込まれている場合、ラッチメモリに格納されている映像データを信号線に出力するタイミングパルス信号TRF 1, TRF 2はそれぞれ省略することができる。その際には、ソースドライバSD 1 1, SD 1 2が同時に信号線に書込まないような回路構成になっていなければならない。

【0082】また、図4で示す駆動方法では、1水平期間内で、同時に両方のソースドライバSD 1 1, SD 1 2が動作しているが、上記条件（1）および（2）を満たす限り、ソースドライバSD 1 1のサンプリング動作が完了した後、ソースドライバSD 1 2の動作が始まるように、1水平期間内で、どちらか片方の信号線駆動回路だけが動作するようにしてもよい。

【0083】また、ラッチメモリの本数Lが2以上の場合は、ある一本のラッチメモリは、映像信号のデータラッチ、もう一本のラッチメモリは、信号線へのデータ出力というように、1水平期間内に両方の内容を同時に行うことが可能となる。

【0084】また、ソースドライバSD 1 1, SD 1 2は、どちらも本実施形態2の回路構成でなければならないことはなく、どちらか片方だけが実施形態1の回路構成であっても良い。その際に、ソースドライバSD 1 1, SD 1 2が同じ信号線に同時に映像データを書込むことがないように、ソースドライバSD 1 1, SD 1 2への各入力信号（特にデータトランスファ信号TRF 1, 2）のタイミングに注意しなければならない。

【0085】例えば、ソースドライバSD' がソースドライバSD 1, SD 1 2で構成される場合には、上記実施形態1のソースドライバSD 1が1水平走査期間内で全信号線SL 1～SL nに対して映像データをサンプリ

ング（駆動）した後の水平ブランキング期間内に、ソースドライバSD 1 2が制御部1 3からデータトランスファ信号TRF 2を受けて、全信号線SL 1～SL nにラッチメモリ内の各映像データを一齐に出力するように構成することもできる。

【0086】また、ソースドライバSD 1 1, SD 1 2は、表示部1 2の両対向辺にそれぞれ接続しているが、どちらか片側1辺に両方のソースドライバSD 1 1, SD 1 2が接続していてもよい。

【0087】また、ソースドライバSD 1 1, SD 1 2とゲートドライバGDは、表示部1 2が形成されている基板と同一の基板上にモノシリックに形成されていてもよく、フレキシブル基板等の接続手段を用いて接続していてもよい。

（実施形態3）本実施形態3では、例えば携帯電話のバッテリー残量記号を表示画面上の所定位置に表示するときのように、いつも決まった位置にスーパーインポーズやピクチャーインピクチャーを行う場合である。この場合、図5に示した信号線駆動回路SD 2 2が、全ての信号線と接続する必要はなく、その表示位置に対応した必要な各信号線のみを駆動した方が、回路規模、消費電力的に有効である。以下、図5および図6を参照しながら本発明の実施形態3について詳細に説明する。

【0088】図5は、本発明の実施形態3における液晶表示装置の要部構成を示すブロック図である。

【0089】図5において、液晶表示装置2 1は、画面表示を行う表示部2 2と、走査線群GLを順次駆動する走査線駆動回路GD（以下ゲートドライバGDという）と、信号線群SLを順次駆動する信号線駆動回路SD"と、ゲートドライバGDおよび信号線駆動回路SD"を駆動制御する制御部2 3（制御手段）とを有している。

【0090】表示部2 2は、隣接する二つの信号線SLと隣接する二つの走査線GLで囲まれた部分に画素PIXが配設されており、各画素PIXは、マトリクス状に縦横に多数配設されている。画素PIXは液晶表示セルで構成されている。表示部2 2は、走査線GLに供給される走査信号毎に、信号線SLに供給されるデータ映像信号を各画素PIXに供給することによって画像表示される。

【0091】ゲートドライバGDは、表示部2 2に多数列設された走査線群GLの一端にそれぞれ接続されており、走査信号を走査線群GLの各走査線に順次供給するものである。なお、ゲートドライバGDには、駆動回路動作の走査線選択クロック信号GCKと、走査線選択開始信号GSPとが入力されている。

【0092】信号線駆動回路SD"は、単独で画像表示可能とする複数の駆動回路が設けられたマルチドライバ構成となっており、例えば表示部2 2の上側の第1信号線駆動回路（以下ソースドライバSD 1という）と、表示部2の下側の第2信号線駆動回路（以下ソースドラ

イバSD22という)との二つ配設されている。

【0093】ソースドライバSD1は、表示部22に多数列設された信号線SL1～SLn ( $1 < n \leq N$ )の一端に接続されており、主映像信号Video1を順次サンプリングして信号線SL1～SLnに順次供給するものである。なお、ソースドライバSD1には、駆動回路動作の映像信号サンプリングクロック信号SCK1と、映像信号サンプリング開始信号SSP1と、サンプリングされる主映像信号Video1とが入力されている。

【0094】ソースドライバSD22は、信号線SL1～SLn ( $1 < n \leq N$ )の一部である信号線SLp～SLq ( $1 \leq p < q, 1 < q \leq N$ )の他端に接続されており、スーパーインポーズやピクチャーインピクチャー用の映像信号Video2を順次サンプリングして信号線SLp～SLqに順次供給するものである。なお、ソースドライバSD22は、駆動回路動作の映像信号サンプリングクロック信号SCK2と、映像信号サンプリング開始信号SSP2と、映像データの信号線への書込みイネーブル信号SWEと、サンプリングされるスーパーインポーズやピクチャーインピクチャー用の映像信号Video2とが入力されている。この場合、スーパーインポーズやピクチャーインピクチャーの表示位置が信号線SLp～SLqの配設位置と対応している。

【0095】制御部23は、ソースドライバSD1から主映像信号Video1の時系列の各サンプリング電位を供給した信号線SLxに対して、ソースドライバSD12からスーパーインポーズやピクチャーインピクチャーの映像信号Video2の時系列の各サンプリング電位を供給するように、即ち同じ信号線を異なる時期に駆動(サンプリング動作)するように所定時間異ならせて映像信号サンプリング開始信号SSP1, 2を出力するものである。

【0096】ここで、スーパーインポーズやピクチャーインピクチャー機能を実行する画像表示装置21の駆動方法について図6を用いて説明する。

【0097】上記構成により、まず、図6(a)に示す主映像信号Video1と、図6(b)に示す映像信号サンプリングクロック信号SCK1として周波数 $\alpha$ MHzのクロック信号と、図6(c)に示す映像信号サンプリング開始信号SSP1として主映像信号Video1の1水平走査期間における有効表示領域の先頭位置を示すパルス信号とがソースドライバSD1に供給されている。

【0098】また同様に、図6(d)に示すスーパーインポーズやピクチャーインピクチャー用の映像信号Video2と、図6(e)に示す映像信号サンプリングクロック信号SCK2として周波数 $\alpha'$ MHzのクロック信号と、図6(f)に示す映像信号サンプリング開始信号SSP2としてスーパーインポーズやピクチャーイン

ピクチャー用の映像信号Video2の1水平走査期間における有効表示領域の先頭位置を示すパルス信号と、図6(g)に示す映像データの信号線への書込みイネーブル信号SWEとがソースドライバSD22に供給されている。

【0099】このとき、走査線駆動回路GDには、走査線選択クロック信号GCKとして周波数 $\beta$ KHzのクロック信号と、走査線選択開始信号GSPとして主映像信号Video1の1垂直走査期間における有効表示領域の先頭位置を示すパルス信号とが供給されている。

【0100】ただし、ソースドライバSD1, SD22およびゲートドライバGDに供給される各信号はそれぞれ、以下の三つの条件(1)～(3)を満たさなければならない。

【0101】(1)映像信号サンプリングクロック信号SCK2は、映像信号サンプリングクロック信号SCK1と比べて、その周波数および位相が異なってもよいが、必ず、1水平走査期間内に、駆動すべき全信号線SLp～SLqに対して映像データのサンプリング動作が完了するような周波数にする。信号線駆動回路SD22は、信号線駆動回路SD1よりも、サンプリング数が少ない(駆動すべき全信号線SLp～SLqの本数が全信号線SL1～SLnの本数よりも少ない)ので、SCK1の周波数 $\alpha$ (MHz) > SCK2の周波数 $\alpha'$ (MHz)であることが、消費電力的に望ましい。

【0102】(2)ソースドライバSD1がサンプリングを行う信号線SLx ( $1 \leq x \leq N$ )と、ソースドライバSD22がサンプリングを行う信号線SLx' ( $p \leq x' \leq q$ )とにおいて、同時に $x = x'$ とならないようにする。即ち、両ソースドライバSD1, SD22が同時に同一の信号線にサンプリングを行わないようにする。例えば、図5に示すように、ソースドライバSD1が、ソースドライバSD22による信号線(例えば信号線SLp)に対するサンプリング動作に比べて少なくとも1本以上の信号線(例えば信号線SLp+1)に先にサンプリングを行う。その後、ソースドライバSD22が信号線(例えば信号線SLp+1)に対してサンプリング動作を開始するように、映像信号サンプリング開始信号SSP2をソースドライバSD22に供給すればよい。

【0103】(3)スーパーインポーズやピクチャーインピクチャー用の映像信号Video2の有効表示領域の先頭が、主映像信号Video1のそれに比べて、ソースドライバSD1が1本以上の信号線に先にサンプリングを行う期間分だけ遅れている。

【0104】本実施形態3が、以上の3条件(1)～(3)を満たしているものとして、スーパーインポーズやピクチャーインピクチャー動作を実行する画像表示装置21の駆動方法の説明を続ける。

【0105】ソースドライバSD1では、制御部23か

ら供給された映像信号サンプリング開始信号SSP1を受けて、映像信号サンプリングクロック信号SCK1によって、主映像信号Video1のサンプリングを開始し、サンプリングによって得られた主映像データVDAT1～VDATn ( $1 < n \leq N$ ) が各信号線SL1～SLnを通して、走査線駆動回路GDによって選択(線順次走査)されている1走査線GLmに接続している各画素PIXに順次書込まれる。つまり、主映像データVDAT1は信号線SL1に供給され、主映像データVDAT2は次の信号線SL2に供給され、・・・主映像データVDATnは信号線SLnに順次供給されてデータ書込みされる。

【0106】ソースドライバSD22では、ソースドライバSD1と同様に、制御部23から供給された映像信号サンプリング開始信号SSP2を受けて、映像信号サンプリングクロック信号SCK2によって、スーパーインポーズやピクチャーインピクチャー用の映像信号Video2と、映像データの信号線への書込みイネーブル信号SWEとのサンプリング動作を開始する。

【0107】このサンプリングによって得られた各映像データの信号線への書込みイネーブルデータSWEp' ～q' に基づいて「書込み許可」と判断された、サンプリングによって得られたスーパーインポーズやピクチャーインピクチャー用の映像データVDATp' ～VDATq' ( $1 \leq p' < q'$ 、 $1 < q' \leq N$ ) は、各信号線SLp～SLqを通して、走査線駆動回路GDによって選択(線順次走査)されている1走査線GLmに接続している各画素PIXに順次書込まれる。なお、書込みイネーブル信号SWEが'L'(ローレベル)の際、データ書込みを可能とするならば、図6(g)では、映像データVDATp+1' は書込まない。それ以外の映像データVDATp' は信号線SLpに供給され、・・・主映像データVDATq' は信号線SLqに順次供給されてデータ書込みされる。

【0108】つまり、ソースドライバSD1で先にサンプリングした映像データを、ソースドライバSD22で後からサンプリングした映像データで上書きすることになる。

【0109】以上により、本実施形態3によれば、主映像画面用のソースドライバSD1と、スーパーインポーズやピクチャーインピクチャー用のソースドライバSD22とが同じ信号線SLp～SLqを共有しており、かつ、制御部23は、ソースドライバSD1が先に駆動し終わった信号線SLx ( $1 \leq x \leq N$ ) を、ソースドライバSD22が更に後から駆動するように、映像信号サンプリング開始信号SSP1, 2を時間的にずらしてソースドライバSD1, SD22に出力するため、ソースドライバSD1による主映像画面をソースドライバSD22によるスーパーインポーズやピクチャーインピクチャー用画面で容易に上書きすることができる。

【0110】このようにすることで、表示部12の表示画面上において、その表示領域の自由な位置にスーパーインポーズやピクチャーインピクチャーが容易に表示可能となり、また、ソースドライバSD1, SD22自体(信号線駆動回路)の分割もないため、表示画面上の分割境界位置での縞の発生もなく、表示特性のよい液晶表示装置21が得られる。このように、スーパーインポーズやピクチャーインピクチャーを行う際の表示領域の選択についての自由度を増したとしても、分割境界位置での縞による表示特性の悪化は起こらない。さらには、ソースドライバSD22への駆動用クロック信号の周波数は、全信号線に接続されているソースドライバSD1への駆動用クロック信号の周波数に比べて低く設定できるので、スーパーインポーズやピクチャーインピクチャーを行う際に余分な電力を発生させない。

【0111】なお、スーパーインポーズやピクチャーインピクチャー用の映像信号Video2がアナログ信号で、サンプリングした時の映像データが、ある電圧値よりも低いあるいは、高い時、その映像データを信号線に書込まないようにする回路が信号線駆動回路SD22に盛り込まれている場合、また、スーパーインポーズやピクチャーインピクチャー用の映像信号Video2がデジタル信号で、サンプリングした時の映像データが、あるデジタル値の時、その映像データを信号線に書込まないようにする回路が信号線駆動回路SD22に盛り込まれている場合の何れかであるときは、映像データの信号線への書込みイネーブル信号SWEを省略することができる。本実施形態3では、書込みイネーブル信号SWEを用いて上記書込み制御機能を実現している。

【0112】また、図6に示す駆動方法では、1水平期間内で同時に両方のソースドライバSD1, SD22が動作しているが、上記条件(1)～(3)を満たす限り、ソースドライバSD1のサンプリング動作が完了した後、ソースドライバSD22の動作が始まるように、1水平期間内で、どちらか片方のソースドライバだけが動作しているようにしてもよい。

【0113】また、本実施形態3では、上記実施形態1と同様な駆動を行っているが、ソースドライバSD1, SD22は、何れも本実施形態3の回路構成でなければならないことはなく、何れか片方が実施形態2の回路構成であってもよい。その際、ソースドライバSD1, SD22が同時に同じ信号線に書込まないように、各入力信号のタイミングに注意しなければならない。

【0114】また、ソースドライバSD1とソースドライバSD22とは、表示部22の上下に対向する両辺側にそれぞれ接続しているが、何れか片側の1辺側に両方のソースドライバSD1, SD22が接続されて配設されていてもよい。

【0115】また、ソースドライバSD1とソースドライバSD22、ゲートドライバGDは、表示部22が形

成されている基板と同一の基板上にモノシリックに形成されていてもよく、フレキシブル基板などの接続手段を用いて接続されていてもよい。

【0116】

【発明の効果】以上のように、本発明によれば、主映像画面用の第1信号線駆動回路と従映像画面用の第2信号線駆動回路とが同じ信号線を共有し、かつ、第1信号線駆動回路が信号線を駆動した後に、その信号線を第2信号線駆動回路が更に駆動するように制御するため、第1信号線駆動回路による主映像画面を第2信号線駆動回路による従映像画面で容易に上書きすることができて、スーパーインポーズやピクチャーインピクチャーを容易に行うことができる。この場合に、第1信号線駆動回路と第2信号線駆動回路とはそれ自体の分割はなく、表示画面上の分割境界位置での縞も発生しない。したがって、スーパーインポーズやピクチャーインピクチャーを行う際の表示領域選択の自由度を増したとしても、分割境界位置での縞による表示特性が悪化することはない。

【図面の簡単な説明】

【図1】本発明の実施形態1における液晶表示装置の要部構成を示すブロック図である。

【図2】(a)～(g)は図1の液晶表示装置における各信号のタイミングチャート図である。

【図3】本発明の実施形態2における液晶表示装置の要部構成を示すブロック図である。

【図4】(a)～(i)は図3の液晶表示装置における各信号のタイミングチャート図である。

【図5】本発明の実施形態3における液晶表示装置の要部構成を示すブロック図である。

【図6】(a)～(g)は図5の液晶表示装置における各信号のタイミングチャート図である。

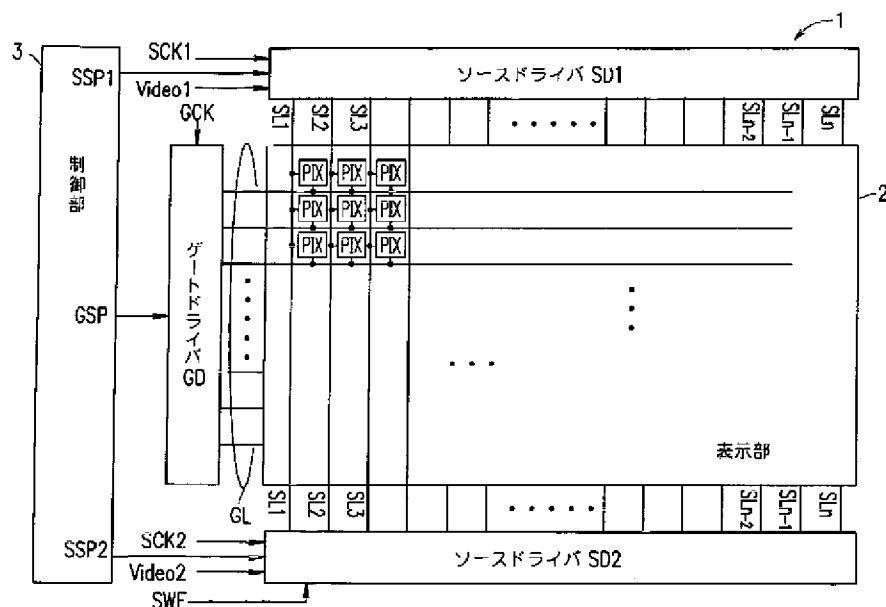
【図7】従来の液晶表示装置の要部構成を示すブロック図である。

【図8】(a)～(d)は図7の液晶表示装置における各信号のタイミングチャート図である。

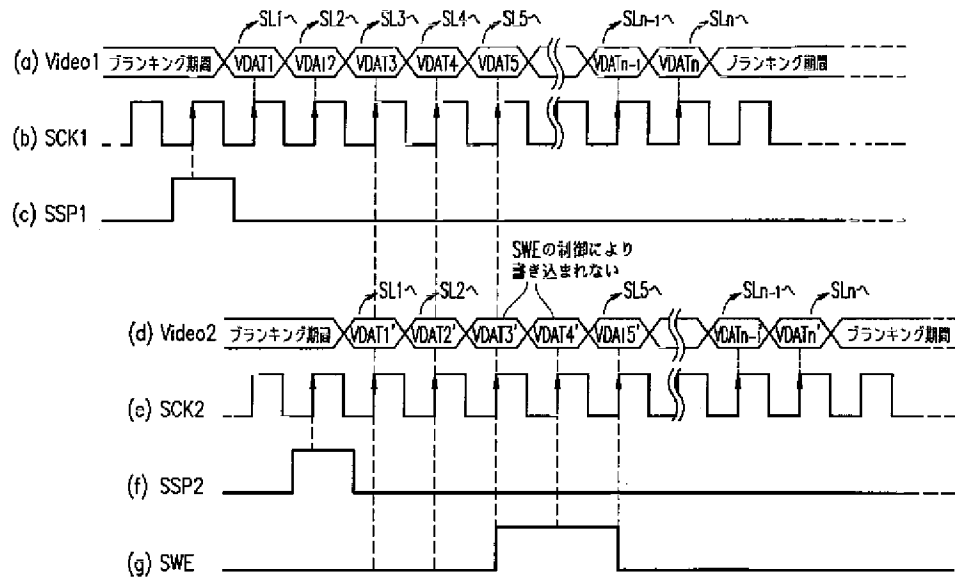
【符号の説明】

1, 11, 21 液晶表示装置  
2, 12, 22 表示部  
3, 13, 23 制御部(制御手段)  
SD1, SD2, SD11, SD12, SD22 ソースドライバ(信号線駆動回路)  
SL1～SLn, SLp～SLq 信号線  
GD ゲートドライバ(走査線駆動回路)  
GL 走査線群  
Video1 主映像信号  
SCK1, SCK2 映像信号サンプリングクロック信号  
SSP1, SSP2 映像信号サンプリング開始信号(駆動開始信号)  
Video2 スーパーインポーズやピクチャーインピクチャー用映像信号  
SWE 書込みイネーブル信号  
TRF1, TRF2 データトランスファ信号(トランスファ信号)

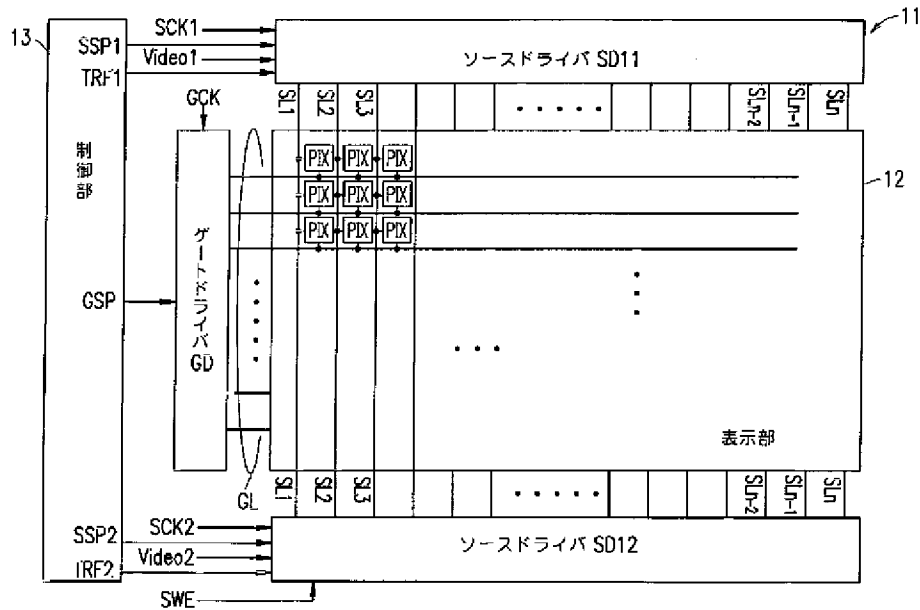
【図1】



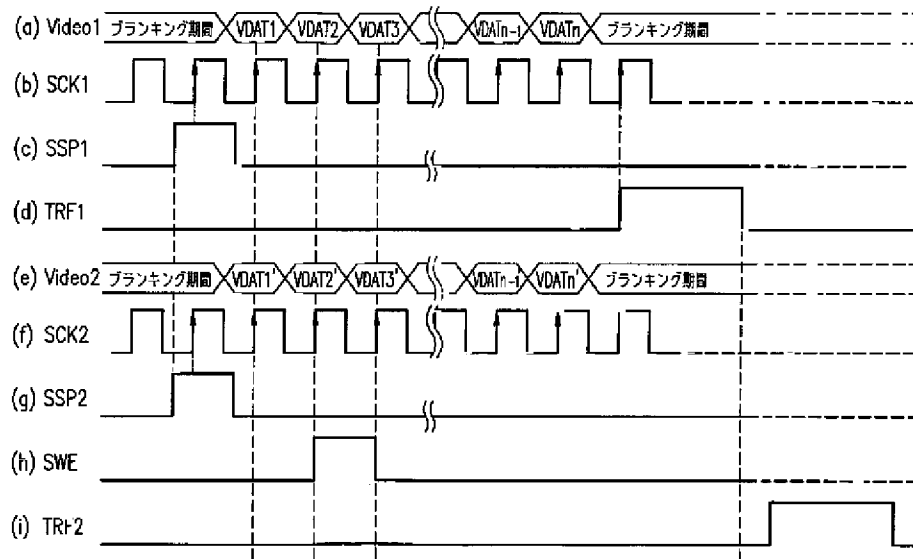
【図 2】



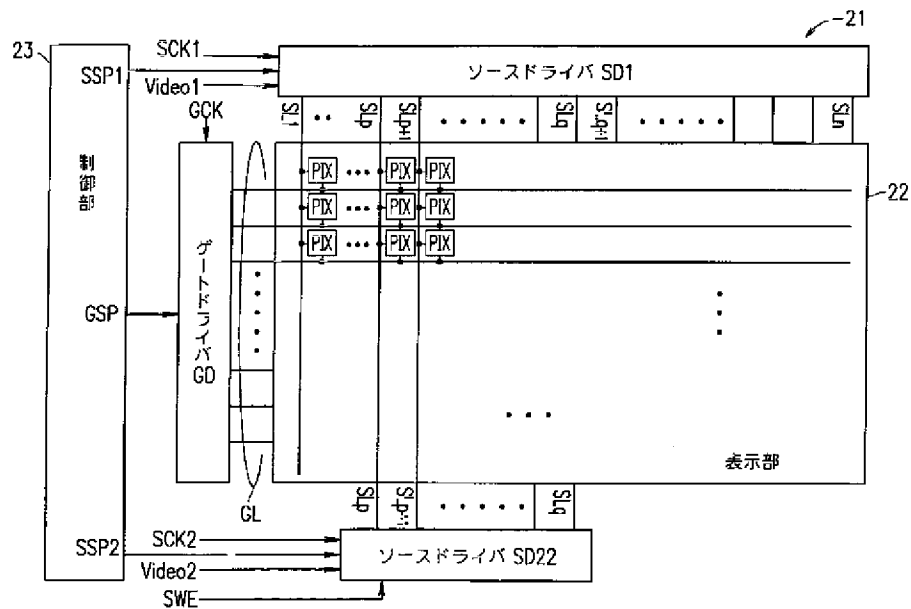
【図 3】



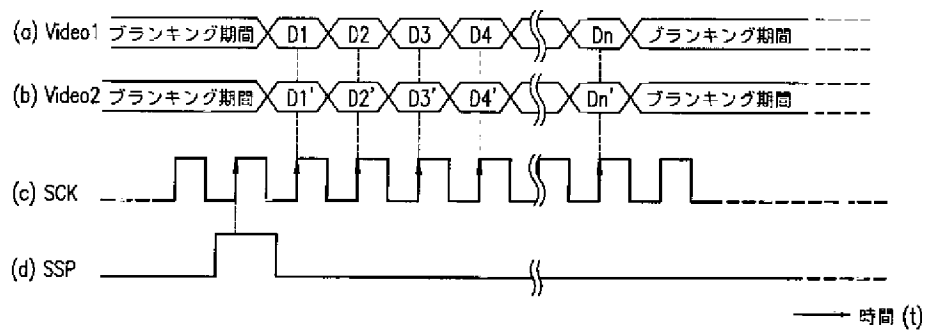
【図4】



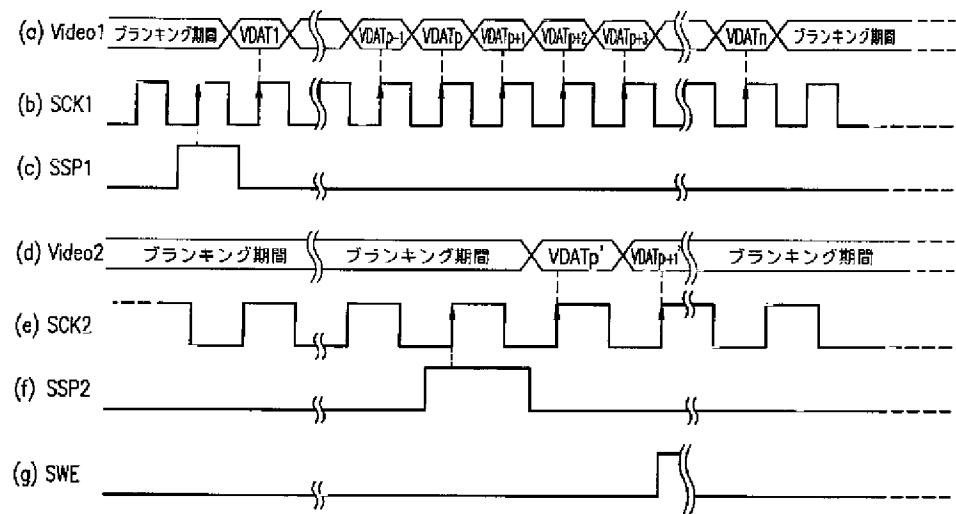
【図5】



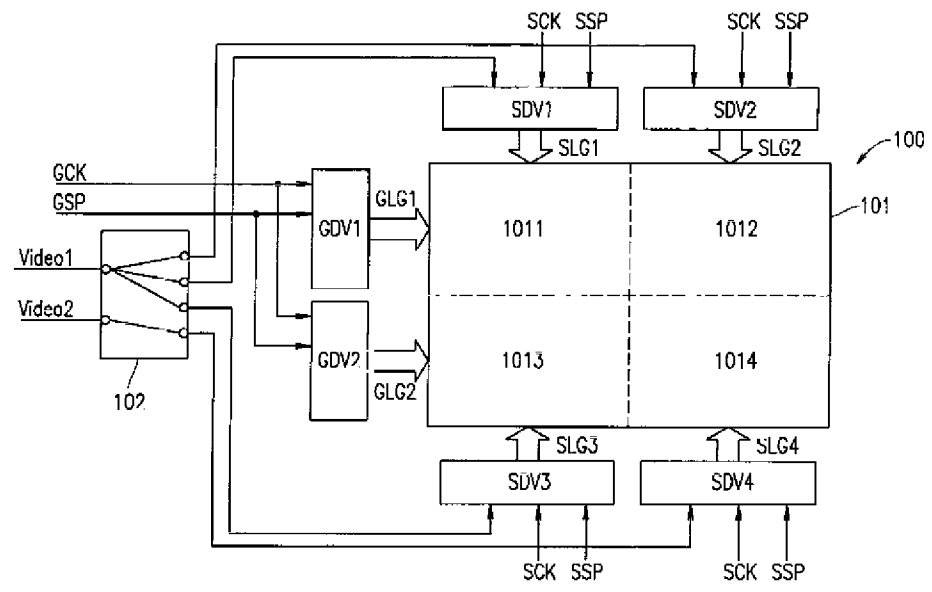
【図8】



【図 6】



【図 7】



フロントページの続き

(51)Int.Cl. <sup>7</sup>		識別記号	F I	(参考)
G 0 9 G	3/20	6 6 0	G 0 9 G 3/20	6 6 0 A
		6 8 0		6 8 0 G
H 0 4 N	5/45		H 0 4 N 5/45	
	5/66	1 0 2	5/66	1 0 2 B

F ターム(参考) 2H093 NA16 NC16 NC32 ND60  
5C006 AC21 AF38 AF43 BB11 BC20  
BF11 FA04 FA05 FA06 FA07  
FA21  
5C025 AA28 BA28 CA06 CA09 DA06  
5C058 AA07 AA08 BA03 BA21 BB06  
BB17 BB22  
5C080 AA10 BB05 DD01 DD09 DD12  
EE01 EE17 JJ02 JJ04 KK02